

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicants: Kurosawa et al.)

Serial No.)

Filed: July 2, 2003)

For: THIN FILM TRANSISTOR DEVICE AND)
METHOD OF MANUFACTURING THE SAME,)
THIN FILM TRANSISTOR SUBSTRATE AND)
DISPLAY HAVING THE SAME)

*I hereby certify that this paper is being deposited with the
U.S. Postal Service as EXPRESS MAIL in an envelope
addressed to: Mail Stop Patent Application,
Commissioner for Patents, P.O. Box 1450, Alexandria,
VA 22313-1450 on this date.*

07/02/03

Dail C
Express Mail No. EL846179130US

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. §119 on the basis of
the foreign applications identified below:

Japanese Patent Application No. 2002-197880, filed July 5, 2002.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

July 2, 2003

By

Patrick G. Burns
Patrick G. Burns, Reg. No. 29,367

300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Telephone: 312.360.0080
Facsimile: 312.360.9315

1324.5834

(32) 500-0080

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 5日

出願番号

Application Number:

特願2002-197880

[ST.10/C]:

[JP2002-197880]

出願人

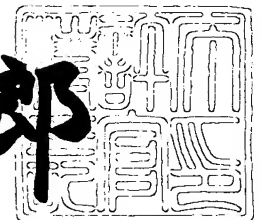
Applicant(s):

富士通ディスプレイテクノロジーズ株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3027958

【書類名】 特許願

【整理番号】 0240272

【提出日】 平成14年 7月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
H01L 29/786
H01L 21/336

【発明の名称】 薄膜トランジスタ装置及びその製造方法、並びにそれを
備えた薄膜トランジスタ基板及び表示装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 黒澤 紀雄

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 堀田 和重

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100101214

【弁理士】

【氏名又は名称】 森岡 正樹

【手数料の表示】

【予納台帳番号】 047762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 委任状 1

【援用の表示】 平成 1 4 年 6 月 2 6 日提出の包括委任状

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置

【特許請求の範囲】

【請求項 1】

基板上に所定形状の半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に金属薄膜を形成し、

第 1 導電型の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記金属薄膜を除去するようにパターニングし、

パターニングされた前記金属薄膜をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 導電型の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記金属薄膜をさらにパターニングして前記第 1 導電型の薄膜トランジスタのゲート電極を形成し、

前記第 1 導電型の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 導電型の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 2】

請求項 1 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 導電型の薄膜トランジスタのゲート電極の形成と同時に第 2 導電型の薄膜トランジスタのゲート電極を形成し、

前記第 1 導電型の薄膜トランジスタを覆うようにレジストマスクを形成した後に、第 2 導電型の不純物を前記半導体層に注入して前記第 2 導電型の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 3】

基板上に形成された半導体層と、前記半導体層上に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 1 のゲート電極とを備え、前記半導体層のソース及びドレイン領域とチャネル領域との間に低濃度不純物領域が形成された第 1 導電型の第 1 の薄膜トランジスタと、

前記半導体層と、前記第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 2 のゲート電極と、前記第 2 のゲート電極上に形成され、前記第 2 のゲート絶縁膜と同一の形成材料で形成された絶縁膜とを備えた第 2 の薄膜トランジスタと

を有することを特徴とする薄膜トランジスタ装置。

【請求項 4】

基板上に互いに絶縁膜を介して交差して形成された複数のバスラインと、前記基板上的表示領域にマトリクス状に配置された画素領域と前記表示領域の周囲に配置された周辺回路とに形成された薄膜トランジスタ装置とを有する薄膜トランジスタ基板において、

前記薄膜トランジスタ装置は、請求項 3 記載の薄膜トランジスタ装置であること

を特徴とする薄膜トランジスタ基板。

【請求項 5】

スイッチング素子として薄膜トランジスタを有する基板を備えた表示装置において、

前記基板に、請求項 4 記載の薄膜トランジスタ基板が用いられていることを特徴とする表示装置。

【請求項 6】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 及び第 2 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 の薄膜トランジスタのゲート電極を形成し、

前記第 1 の薄膜トランジスタのゲート電極上に前記第 2 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 1 の薄膜トランジスタ上と、前記第 2 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するようにパターニングし、

前記第 1 の薄膜トランジスタのゲート電極と、パターニングされた前記第 2 の金属薄膜とをマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 2 の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記第 2 の金属薄膜をさらにパターニングして前記第 2 の薄膜トランジスタのゲート電極を形成し、

前記第 2 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 2 の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 7】

請求項 6 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 の薄膜トランジスタのゲート電極の形成と同時に第 3 の薄膜トランジスタのゲート電極を形成し、

前記第 2 の薄膜トランジスタのゲート電極の形成と同時に第 4 の薄膜トランジスタのゲート電極を形成し、

前記第 1 及び第 2 の薄膜トランジスタを覆うようにレジストマスクを形成し、

前記レジストマスク並びに前記第 3 及び第 4 の薄膜トランジスタのゲート電極をマスクとして第 2 導電型の不純物を前記半導体層に注入して、前記第 3 及び第 4 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 8】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 及び第 2 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 の薄膜トランジスタのゲート電極を形成し、

前記第 1 の薄膜トランジスタのゲート電極上に前記第 2 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 2 の金属薄膜上に第 1 のレジストマスクを形成し、

前記第 1 の薄膜トランジスタ上と、前記第 2 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するように、前記第 1 のレジストマスクを用いてパターニングし、

パターニングされた前記第 2 の金属薄膜の幅を前記第 1 のレジストマスクの幅より狭く加工し、

前記第 1 のレジストマスク及び前記第 1 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 2 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第 1 のレジストマスクを除去し、

加工された前記第 2 の金属薄膜をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 2 の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 9】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 及び第 2 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 の薄膜トランジスタのゲート電極を形成し、

前記第 1 の薄膜トランジスタのゲート電極上に前記第 2 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 1 の薄膜トランジスタ上と、前記第 2 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するようにパターニングし、

前記第 1 の薄膜トランジスタのゲート電極と、パターニングされた前記第 2 の金属薄膜とをマスクとして第 2 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 2 の薄膜トランジスタのソース及びドレイン領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【請求項 1 0】

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 乃至第 4 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 及び第 2 の薄膜トランジスタのゲート電極を形成し、

前記第 1 及び第 2 の薄膜トランジスタのゲート電極上に前記第 3 及び第 4 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 2 の金属薄膜上に第 1 のレジストマスクを形成し、

前記第 1 及び第 2 の薄膜トランジスタ上と、前記第 3 及び第 4 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するように前記第 1 のレジストマスクを用いてパターニングし、

前記第 2 の金属薄膜の幅を前記第 1 のレジストマスクの幅より狭く加工して、前記第 3 及び第 4 の薄膜トランジスタのゲート電極を形成し、

前記第 1 のレジストマスクと前記第 1 及び第 2 の薄膜トランジスタのゲート電極とをマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 3 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第 1 のレジストマスクを除去し、

前記第 3 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 3 の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以下、TFT（Thin Film Transistor）ともいう）を集積した薄膜トランジスタ基板（以下、TFT基板ともいう）及びそれを備えた表示装置に関し、より詳しくは多結晶シリコン（ポリシリコン）その他の半導体膜を用いたTFTを集積したTFT基板及びそれを備えた表示装置に関する。

【 0 0 0 2 】

【従来の技術】

TFT基板は、アクティブマトリクス型の液晶表示パネルやEL（Electroluminescence）表示パネルの駆動用基板として用いられている。最近では、電子移動度の大きいポリシリコン等を半導体層に用いて、画素のためのTFTだけでなく、周辺回路であるゲートドライバ回路やデータドライバ回路も同一基板上に集積することが行われている。

【 0 0 0 3 】

この際、TFTによるドライバ回路は、通常、n型とp型を組み合わせる相補型MOS（CMOS）トランジスタで構成される。このうち、n型TFTはホットキャリア現象による特性劣化（以下、ホットキャリア劣化という）やオフリーク電流の発生を抑制するため、低濃度不純物領域のLDD（Lightly Doped Drain）を形成する場合が多い。

【 0 0 0 4 】

図 1 2 及び図 1 3 を用いて、液晶表示パネルに用いられる T F T 基板において、C - M O S でドライバ回路を構成し、n 型 T F T を L D D 構造とした場合の T F T の製造方法（第 1 の従来例）を説明する。図 1 2 及び図 1 3 においては、図の左側に n 型 T F T、右側に p 型 T F T を示している。

【 0 0 0 5 】

まず、図 1 2 (a) に示すように、ガラス等の透明絶縁性基板 1 0 1 上に S i O₂等を厚さ 8 0 n m 程度成膜し、バッファ層 1 0 2 を形成する。その後、プラズマ C V D 等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ 5 0 n m 程度のポリシリコンの半導体層 1 0 3 を形成する。次に、半導体層 1 0 3 をパターニングして、島状の半導体層 1 0 3 a 及び 1 0 3 b を形成する。次に、半導体層 1 0 3 a 及び 1 0 3 b 上に S i O₂等を厚さ 1 0 0 n m 程度成膜し、ゲート絶縁膜 1 0 4 を形成する。続いて、C r 等を厚さ 4 0 0 n m 程度成膜した後パターニングし、ゲート電極 1 0 5 a 及び 1 0 5 b を形成する。

【 0 0 0 6 】

次に、図 1 2 (b) に示すように、レジストを塗布してパターニングし、n 型 T F T の L D D となる部分及びゲート電極を覆うようにレジストマスク R 1 0 6 を形成する。次に、レジストマスク R 1 0 6 をエッチングマスクとして用いてエッチングし、ゲート絶縁膜 1 0 4 a 及び 1 0 4 b を形成する。n 型 T F T は、ゲート絶縁膜 1 0 4 a とゲート電極 1 0 5 a とが階段状に形成されている。その後、レジストマスク R 1 0 6 を除去する。

【 0 0 0 7 】

次に、図 1 2 (c) に示すように、レジストを塗布してパターニングし、p 型 T F T 全体を覆うようにレジストマスク R 1 0 7 を形成する。次に、レジストマスク R 1 0 7、ゲート電極 1 0 5 a 及びゲート絶縁膜 1 0 4 a をマスクとし、リン等の不純物を低加速・高ドーズ量（例えば 1 0 k e V、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下で注入し、n 型 T F T のソース及びドレイン領域 1 0 3 1 を半導体層に形成する。続けて、レジストマスク R 1 0 7 及びゲート電極 1 0 5 a をマスクと

し、リン等の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13}\text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 104 a を通して注入し、LDD 領域 103 2 を形成する。1 回目のリン等の不純物の注入は、ソース及びドレイン領域に多くの不純物を注入する必要があるがゲート絶縁膜 104 a は除去されており遮るものがないので、低加速・高ドーズ量での注入となる。一方、2 回目のリン等の不純物の注入は、LDD を形成するため不純物を多く注入する必要はないが、ゲート絶縁膜 104 a を通して注入しなければならないので、高加速・低ドーズ量での注入となる。なお、ゲート電極 105 a は2回のリン等の不純物の注入のいずれにおいてもマスクとして用いられるので、チャンネル領域 103 3 にはリン等の不純物は注入されない。その後、レジストマスク R 107 を除去する。

【0008】

次に、図 13（a）に示すように、レジストを塗布してパターニングし、n 型 TFT 全体を覆うようにレジストマスク R 108 を形成する。次に、レジストマスク R 108 及びゲート電極 105 b をマスクとして、ボロン等の不純物を所定の加速エネルギー及びドーズ量（例えば 10 keV 、 $1 \times 10^{15}\text{ cm}^{-2}$ ）で注入し、p 型 TFT のソース及びドレイン領域 103 5 を半導体層に形成する。ゲート電極 105 b がマスクとなっているため、チャンネル領域 103 6 にはボロン等の不純物は注入されない。その後、レジストマスク R 108 を除去する。

【0009】

次に、図 13（b）に示すように、エキシマレーザを照射することにより、注入したリンやボロン等の不純物を活性化させる。ここで、n 型 TFT のソース及びドレイン領域 103 1 及び p 型 TFT のソース及びドレイン領域 103 5 は、何ら遮るものがないので直接レーザ光が照射されるが、LDD 領域 103 2 はゲート絶縁膜 104 a を介して照射される点に注意する必要がある。

【0010】

次に、図 13（c）に示すように、SiN 等を厚さ 300 nm 程度成膜することにより層間絶縁膜 109 を形成し、層間絶縁膜 109 にコンタクトホールを開口する。また、Mo 等を厚さ 300 nm 程度成膜し、パターニングすることにより配線 110 を形成する。これにより n 型 TFT 及び p 型 TFT が完成する。な

お、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0011】

図12及び図13に示すように、n型TFTのゲート電極105aとゲート絶縁膜104aを階段状に加工し、ゲート電極105aとゲート絶縁膜104aをマスクとして低加速・高ドーズ量で注入してソース及びドレイン領域を形成し、ゲート電極105aをマスクとしてゲート絶縁膜104aを通して高加速・低ドーズ量で注入してLDD領域を形成することが多い。なお、図12及び図13ではp型TFTではLDD領域のない構造を示しているが、p型TFTもゲート電極105bとゲート絶縁膜104bを階段状に加工して、LDD領域を形成することも可能である。

【0012】

次に、図14及び図15を用いて、液晶表示パネルに用いられるTFT基板において、ドライバの一部回路等を構成する高速動作可能な低電圧用TFTと、液晶を駆動する高電圧用の画素TFT及びドライバの一部回路等とを同一基板上に形成する際のTFT基板の製造方法（第2の従来例）を説明する。図14及び図15で説明するのはn型TFTの製造方法である。図14及び図15においては、図の左側に低電圧用TFT、右側に高電圧用TFTを示している。

【0013】

まず、図14(a)に示すように、ガラス等の透明絶縁性基板201上にSiO₂等を厚さ80nm程度成膜し、バッファ層202を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層203を形成する。次に、半導体層203をパターニングして、島状の半導体層203a及び203bを形成する。

【0014】

次に、図14(b)に示すように、半導体層203a及び203b上に、SiO₂等を厚さ30nm程度成膜し、低電圧用TFTのゲート絶縁膜204を形成する。続いて、Cr等を厚さ400nm程度成膜してパターニングし、低電圧用

T F T のゲート電極 2 0 5 a 及びゲート絶縁膜 2 0 4 a を形成する。これにより、低電圧用 T F T にのみゲート絶縁膜 2 0 4 a 及びゲート電極 2 0 5 a が形成される。

【 0 0 1 5 】

次に、図 1 4 (c) に示すように、基板全面に SiO_2 等を厚さ 1 0 0 n m 程度成膜し、高電圧用 T F T のゲート絶縁膜 2 0 6 を形成する。次に、C r 等を厚さ 4 0 0 n m 程度成膜してパターニングし、高電圧用 T F T のゲート電極 2 0 7 b を形成する。これにより、高電圧用 T F T にゲート電極 2 0 7 b が形成される。低電圧用 T F T のゲート絶縁膜 2 0 4 a の厚さは比較的薄く、高電圧用 T F T のゲート絶縁膜 2 0 6 の厚さは比較的厚くなっている。

【 0 0 1 6 】

次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、図 1 5 (a) に示すように、当該レジストマスクをエッチングマスクとして用いてゲート絶縁膜 2 0 6 をエッチングする。ゲート絶縁膜 2 0 6 は、高電圧用 T F T のゲート電極 2 0 7 b より幅広であって高電圧用 T F T の部分のみ残るようにエッチングされる。その後レジストマスクを除去する。この段階で、高電圧用 T F T では、ゲート電極 2 0 7 b とゲート絶縁膜 2 0 6 b とが階段状に形成される。

【 0 0 1 7 】

次に、ゲート電極 2 0 5 a 、ゲート電極 2 0 7 b 及びゲート絶縁膜 2 0 6 b をマスクとして、リン等の不純物を低加速・高ドーズ量（例えば 10 keV 、 $1 \times 10^{15}\text{ cm}^{-2}$ ）の条件の下で注入し、低電圧用 T F T のソース及びドレイン領域 2 0 3 1 と高電圧用 T F T のソース及びドレイン領域 2 0 3 5 とを形成する。続いて、ゲート電極 2 0 5 a 及びゲート電極 2 0 7 b をマスクとして、リン等の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13}\text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 2 0 6 b を通して半導体層 2 0 3 b に注入し、高電圧用 T F T の L D D 領域 2 0 3 6 を形成する。

【 0 0 1 8 】

1 回目のリン等の不純物の注入は、ソース及びドレイン領域に多くの不純物を

注入する必要があるが、ゲート絶縁膜 2 0 6 は除去されており遮るものがないので、低加速・高ドーズ量での注入となる。一方、2 回目のリン等の不純物の注入は、L D D を形成するため不純物を多く注入する必要はないが、ゲート絶縁膜 2 0 6 b を通して注入しなければならないので、高加速・低ドーズ量での注入となる。なお、ゲート電極 2 0 5 a 及び 2 0 7 b は 2 回のリン等の不純物の注入のいずれにおいてもマスクとして用いられるので、チャンネル領域 2 0 3 2 及び 2 0 3 7 にはリン等の不純物は注入されない。

【 0 0 1 9 】

なお、図 1 4 及び図 1 5 には示していないが、ドライバ等の周辺回路は通常 C - M O S で構成されるので、p 型となる T F T をレジストマスク等で覆った後に n 型となる T F T (画素 T F T を含む) にリン等の不純物を注入し、一方で n 型となる T F T をレジストマスク等で覆った後に p 型となる T F T にボロン等の不純物を注入する必要がある。

【 0 0 2 0 】

次に、図 1 5 (b) に示すように、エキシマレーザを照射することにより、注入したリンやボロン等の不純物を活性化させる。ここで、低電圧用 T F T のソース及びドレイン領域 2 0 3 1 と高電圧用 T F T のソース及びドレイン領域 2 0 3 5 とは、何ら遮るものがないので直接レーザ光が照射されるが、L D D 領域 2 0 3 6 はゲート絶縁膜 2 0 6 b を介してレーザ光が照射される点に注意する必要がある。

【 0 0 2 1 】

次に、図 1 5 (c) に示すように、S i N 等を厚さ 3 0 0 n m 程度成膜することにより層間絶縁膜 2 0 8 を形成し、当該層間絶縁膜 2 0 8 にコンタクトホールを開口する。また、M o 等を厚さ 3 0 0 n m 程度成膜してパターンニングし、配線 2 0 9 を形成する。これにより、低電圧用 T F T 及び高電圧用 T F T が完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成して T F T 基板が完成する。

【 0 0 2 2 】

このように高電圧用 T F T では、ゲート電極 2 0 7 b より幅の広いゲート絶縁

膜 2 0 6 b が半導体層 2 0 3 b 上に設けられており、第 1 の従来例と同様に階段構造が形成されている。これにより L D D 領域 2 0 3 6 が形成されることになる。一方、低電圧用 T F T では、ゲート電極 2 0 5 a とゲート絶縁膜 2 0 4 a は同じ幅となっているため、L D D 領域は形成されない。

【 0 0 2 3 】

なお、特開 2 0 0 1 - 1 6 8 3 4 6 号公報には、L D D 構造とするため不純物を 2 回に分けて注入し、1 回目と 2 回目の注入時の間で、マスクとして使用するゲート電極の寸法を L D D 長さに対応して変える技術が開示されている。マスクとして使用するゲート電極の寸法を変える手段として、金属酸化やドライエッチングを利用し、ゲート電極のドライエッチングを精度良く行うためフォトレジストに工夫を凝らすようになっている。しかし、このような技術を用いると、ゲート電極の寸法を変える際にマスクを利用しないので、L D D 長の制御が容易ではないという問題がある。

【 0 0 2 4 】

また、特開 2 0 0 0 - 3 6 5 9 8 号公報には、異なる L D D 構造を有する T F T を同一基板上に同時に作製する技術が開示されている。この公報では、耐熱性の高い T a 膜又は T a を主成分とする膜を配線材料に用い、さらに保護層で覆うことで、高温での加熱処理を施すことが可能となり、且つ保護層をエッチングストッパーとして用いることで、周辺駆動回路部においては、サイドウォールを用いた自己整合プロセスによる L D D 構造を備えた T F T を配置する一方、画素マトリクス部においては、絶縁物を用いた非自己整合プロセスによる L D D 構造を備えた T F T を配置している。この公報では、上で述べたような技術事項の他、ゲート電極形成前に、ゲート絶縁膜を周辺駆動回路部に合わせて薄く全面に形成し、画素マトリクス部で厚くなるようにゲート絶縁膜を再度形成する必要があるため、ゲート絶縁膜のエッチングが必要となる。また、ゲート電極上に絶縁膜を成膜し、画素マトリクス部の L D D となる部分をレジストで覆った後、このゲート絶縁膜を異方性エッチングするため、画素マトリクス部にはマスク合わせによる L D D 長の長い L D D が形成され、回路部はサイドウォールによる自己整合型 L D D が形成されるが、選択的に L D D を有さない T F T を形成することはでき

ない。

【 0 0 2 5 】

さらに、特開平 9 - 1 9 1 1 1 1 号公報には、同一基板上に N チャネル型の薄膜トランジスタと P チャネル型の薄膜トランジスタとを集積化して作製する工程において、陽極酸化可能な材料でなるゲート電極の側面に多孔質状の陽極酸化膜を選択的に形成する工程と、前記陽極酸化膜をマスクとして n 型を付与する不純物を添加する工程と、前記陽極酸化膜を除去する工程と、前記ゲート電極をマスクとして n 型を付与する不純物を添加し前記陽極酸化膜が存在した領域下に L D D 領域を形成する工程と、N チャネル型の薄膜トランジスタとする領域を選択的にマスクし p 型を付与する不純物を添加する工程とを有することを特徴とする半導体装置の作製方法が開示されている。本公報の技術では、ゲート電極を陽極酸化する必要がある。また、全ての T F T に同じ長さの L D D が形成され、選択的に L D D のない n 型 T F T を形成することはできない。

【 0 0 2 6 】

【発明が解決しようとする課題】

以上第 1 の従来例において説明したように、半導体層とゲート絶縁膜とを階段状に形成することにより L D D を形成する T F T 基板の製造方法においては、注入された不純物を低温で活性化するためエキシマレーザ等を T F T 基板全面に照射することが多い。L D D 領域 1 0 3 2 上にはゲート絶縁膜 1 0 4 a が形成されているのに対して、ソース及びドレイン領域 1 0 3 1 及び 1 0 3 5 上にはゲート絶縁膜が形成されていない。このため、光の干渉効果により L D D 領域 1 0 3 2 とソース及びドレイン領域 1 0 3 1 及び 1 0 3 5 とで実際に吸収されるエネルギーが異なり、活性化のエネルギーの最適化が容易ではないという問題が生じる。また、ゲート絶縁膜は、T F T の高性能化に伴ってより薄膜化されていく傾向にある。ゲート絶縁膜 1 0 4 a が薄膜化されると、ソース及びドレイン領域 1 0 3 1 及び 1 0 3 5 への不純物注入時に、不純物イオンをマスクする能力が低下する。このため、L D D 領域 1 0 3 2 へも不純物イオンの一部が注入されてしまい、L D D 領域 1 0 3 2 の不純物濃度を低濃度に制御するのが困難になってしまうという問題が生じる。

【 0 0 2 7 】

また、第 2 の従来例において説明した T F T 基板の製造方法においては、第 1 の従来例の問題点に加え、以下のような問題も存在している。すなわち、高電圧用 T F T の半導体層 2 0 3 b 上では、低電圧用 T F T のためのゲート絶縁膜 2 0 4 を一旦形成した後、ゲート絶縁膜 2 0 4 をエッチング除去している。このエッチングは通常ドライエッチングで行われるため、高電圧 T F T の半導体層 2 0 3 b にはエッチングによるプラズマダメージが非常に発生しやすい。このため、高電圧用 T F T の特性や信頼性が低下してしまうという問題が生じる。また、低電圧用 T F T ではゲート電極 2 0 5 a とゲート絶縁膜 2 0 4 a が同じ幅であるため、ゲート電極 2 0 5 a と半導体層 2 0 3 a (ソース及びドレイン領域 2 0 3 1 及びチャネル領域 2 0 3 2) との間で、ゲート絶縁膜 2 0 4 a の側壁に製造プロセスにより残留したわずかな不純物や汚染イオン等によりリーク電流が流れやすくなる。しかも、低電圧用 T F T ではゲート絶縁膜 2 0 4 a が薄いため、よりその傾向が強くなる。したがって、低電圧用 T F T の信頼性も低くなってしまうという問題が生じる。

【 0 0 2 8 】

さらに、周辺回路一体型の T F T 基板に、将来さらに高機能な回路を搭載するには、論理回路部や信号処理回路部の動作をより高速にするため、チャネル長を短くして各素子を微細化したり、n 型 T F T であっても L D D をなくすことが考えられる。このためには、液晶や E L の駆動用にある程度大きな電圧 (例えば 1 0 V から 3 0 V) の必要な画素 T F T 及び画素 T F T を直接駆動するドライバの一部の回路等に比べて、論理回路部や信号処理回路部の T F T のゲート絶縁膜の膜厚をさらに薄くして動作電圧を下げる必要がある。ゲート絶縁膜を薄くすることで閾値電圧を下げられるので動作電圧を低くすることができ、それゆえチャネル長を短くしたり L D D を形成しなくしてもホットキャリア劣化を抑制することができるためである。

【 0 0 2 9 】

本発明の目的は、良好な特性及び高い信頼性の得られる薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置を提

供することにある。

【 0 0 3 0 】

【課題を解決するための手段】

上記目的は、基板上に所定形状の半導体層を形成し、前記半導体層上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に金属薄膜を形成し、第 1 導電型の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記金属薄膜を除去するようにパターニングし、パターニングされた前記金属薄膜をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 導電型の薄膜トランジスタのソース及びドレイン領域を形成し、パターニングされた前記金属薄膜をさらにパターニングして前記第 1 導電型の薄膜トランジスタのゲート電極を形成し、前記第 1 導電型の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 導電型の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成することを特徴とする薄膜トランジスタ装置の製造方法によって達成される。

【 0 0 3 1 】

【発明の実施の形態】

本発明の一実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置として液晶表示装置について図 1 乃至図 11 を用いて説明する。図 1 は、本実施の形態による液晶表示装置を構成する TFT 基板の構成を示している。液晶表示装置 1000 は、TFT 基板 1100 と、TFT 基板 1100 に対向配置された対向基板（図示せず）と、両基板間に封止された液晶とを有している。TFT 基板 1100 には、画素領域がマトリクス状に配置された画素マトリクス部 1110 と、周辺回路であるゲートドライバ 1120 と表示コントローラ 1140 とデータドライバ 1130 とが含まれる。画素マトリクス部 1110 には、複数の画素 TFT が各画素領域毎に形成されている。各画素 TFT は、当該画素 TFT のソース電極に接続されるデータ線によりデータドライバ 1130 と接続され、当該画素 TFT のゲートに接続されるゲート線によりゲートドライバ 1120 と接続されている。

【 0 0 3 2 】

表示コントローラ 1 1 4 0 には、例えばパーソナル・コンピュータ（図示せず）から水平同期信号 H、垂直同期信号 V、低電源電圧 V L 及びグランド電圧 V g n d が供給される。表示コントローラ 1 1 4 0 は、供給された信号を用いて D - S I 信号及び D - C L K 信号を生成し、データドライバ 1 1 3 0 のシフトレジスタ 1 1 3 1 に出力する。また、低電源電圧 V L 及びグランド電圧 V g n d もデータドライバ 1 1 3 0 に供給される。データドライバ 1 1 3 0 には、高電源電圧 V H も供給される。データドライバ 1 1 3 0 のシフトレジスタ 1 1 3 1 は、生成した信号をレベルシフタ 1 1 3 2 に出力する。データドライバ 1 1 3 0 のアナログスイッチ 1 1 3 3 には、例えばパーソナル・コンピュータから赤（R）、緑（G）、青（B）の各信号が入力される。アナログスイッチ 1 1 3 3 は、レベルシフタ 1 1 3 2 からの信号に従って、画素マトリクス部 1 1 1 0 に接続された各データ線に信号を出力する。

【 0 0 3 3 】

表示コントローラ 1 1 4 0 は、供給された信号を用いて G - S I 信号及び G - C L K 信号を生成し、ゲートドライバ 1 1 2 0 のシフトレジスタ 1 1 2 1 に出力する。低電源電圧 V L 及びグランド電圧 V g n d もゲートドライバ 1 1 2 0 に供給される。ゲートドライバ 1 1 2 0 には、高電源電圧 V H も供給される。ゲートドライバ 1 1 2 0 のシフトレジスタ 1 1 2 1 は、生成した信号をレベルシフタ 1 1 2 2 に出力する。レベルシフタ 1 1 2 2 は、入力された信号に基づき出力バッファ 1 1 2 3 に信号を出力する。出力バッファ 1 1 2 3 は、入力された信号に基づいて、画素マトリクス部 1 1 1 0 に接続された各ゲート線に信号を出力する。

【 0 0 3 4 】

ここで、表示コントローラ 1 1 4 0 と、データドライバ 1 1 3 0 のシフトレジスタ 1 1 3 1 と、ゲートドライバ 1 1 2 0 のシフトレジスタ 1 1 2 1 とは、高速動作が必要なので低電圧用 T F T で構成される。データドライバ 1 1 3 0 のレベルシフタ 1 1 3 2 とゲートドライバ 1 1 2 0 のレベルシフタ 1 1 2 2 とは、低電圧用 T F T と高電圧 T F T の両方で構成される。ゲートドライバ 1 1 2 0 の出力バッファ 1 1 2 3 と、データドライバ 1 1 3 0 のアナログスイッチ 1 1 3 3 と、画素マトリクス部 1 1 1 0 とは、低速動作の高電圧用 T F T で構成される。

【 0 0 3 5 】

以下で説明する実施例 1 は、低電圧用 T F T にも高電圧用 T F T にも適用可能である。低電圧用 T F T は、L D D を設けない構成であっても L D D を設ける構成であっても対応できる。また、以下で説明する実施例 2 乃至 5 は、低電圧用 T F T 及び高電圧用 T F T を同時に構成する場合を示している。低電圧用 T F T では L D D を設けず、ゲート絶縁膜を単層で薄くしている。高電圧用 T F T では L D D を設けて、ゲート絶縁膜を 2 層にして高耐压の構成としている。

【 0 0 3 6 】

〔実施例 1〕

本実施の形態の実施例 1 による T F T 基板の製造方法について図 2 及び図 3 を用いて説明する。図 2 及び図 3 は、T F T 基板の構成及び製造方法を示す工程断面図である。図 2 及び図 3 においては、L D D が形成されない p 型 T F T、L D D が形成される n 型 T F T、及び L D D が形成されない n 型 T F T の各例を図の左側から順に示している。

【 0 0 3 7 】

まず、図 2 (a) に示すように、ガラス等の透明絶縁性基板 1 上に S i O₂ 等を厚さ 8 0 n m 程度成膜し、バッファ層 2 を形成する。次に、プラズマ C V D 等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ 5 0 n m 程度のポリシリコンの半導体層 3 を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、レジストマスクをエッチングマスクとして用いてドライエッチングを行い、島状の半導体層 3 a、3 b 及び 3 c を形成する。次に、半導体層 3 a、3 b 及び 3 c 上に S i O₂ 等を厚さ 1 0 0 n m 程度成膜し、ゲート絶縁膜 4 を形成する。

【 0 0 3 8 】

次に、M o 等を厚さ 3 0 0 n m 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、図 2 (b) に示すように、レジストマスクをエッチングマスクとして用いてドライエッチングを行い、金属薄膜のうち n 型 T F T のソース及びドレイン領域 3 0 1 に対応す

る部分を除去する。すなわち金属薄膜は、LDDが形成されないp型TFETの場合には、p型TFET全体の幅以上の幅を有する金属薄膜の部分5aが残るようにパターニングされる。LDDが形成されるn型TFETの場合には、チャネル領域及びLDD領域に対応する金属薄膜の部分5bが残るようにパターニングされる。LDDが形成されないn型TFETの場合には、ゲート電極5cそのものが残るようにパターニングされる。LDDが形成されるn型TFETの場合には、LDD領域の分だけ金属薄膜の部分5bの幅がゲート幅より広がっている。その後レジストマスクを除去する。

【0039】

次に、金属薄膜の残された部分5a、5b及び5cをマスクとして、リン等のn型の不純物を高加速・高ドーズ量（例えば90keV、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜4を通して注入する1回目の注入を行う。これにより、LDDが形成されるn型TFET及びLDDが形成されないn型TFETのソース及びドレイン領域301を形成する。金属薄膜の部分5b及び5cがマスクとなっているため、LDDが形成されるn型TFETのLDD領域及びチャネル領域となるべき部分302には不純物が注入されず、LDDが形成されないn型TFETのチャネル領域303には不純物が注入されない。また、金属薄膜の部分5aがマスクとなっているため、p型TFETの半導体層3aには不純物が注入されない。

【0040】

次に、レジストを塗布してパターニングし、レジストマスクを形成する。次に、図2(c)に示すように、レジストマスクをエッチングマスクとして用いてエッチングを行い、Mo等の金属薄膜のうちp型TFETのソース及びドレイン領域に対応する部分と、n型TFETのLDD領域に対応する部分とを除去する。すなわち金属薄膜は、p型TFETのゲート電極51と、LDDが形成されるn型TFETのゲート電極52と、LDDが形成されないn型TFETのゲート電極5cとが残るようにパターニングされる。LDDが形成されるn型TFETの金属薄膜は、LDD領域の分だけ幅が狭められる。なお、LDDが形成されないn型TFETでは既にゲート電極5cが形成されているので、n型TFET全体をレジストマスクで覆っておけばよい。その後レジストマスクを除去する。

【 0 0 4 1 】

次に、各 T F T のゲート電極 5 1、5 2 及び 5 c をマスクとし、リン等の n 型の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 4 を通して注入する 2 回目の注入を行う。これにより、L D D を形成する n 型 T F T の半導体層 3 b のソース又はドレイン領域 3 0 1 とチャネル領域 3 0 7 の間に L D D 領域 3 0 6 を形成する。このとき、L D D が形成される n 型 T F T と L D D が形成されない n 型 T F T とのソース及びドレイン領域 3 0 1 にも不純物が再度注入されるが影響はない。一方、p 型 T F T のソース及びドレイン領域 3 0 4 にも、高加速・低ドーズ量の条件の下、n 型の不純物が注入される。

【 0 0 4 2 】

次に、図 3（a）に示すように、レジストを塗布してパターニングし、n 型 T F T 全体を覆うようなレジストマスク 6 a 及び 6 b を形成する。これにより、n 型 T F T に p 型の不純物が導入されないようになる。すなわち、p 型 T F T のゲート電極 5 1 をマスクとし、p 型 T F T にのみ選択的にボロン等の p 型の不純物を高加速・高ドーズ量の条件（例えば 70 keV 、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 4 を通して注入する。これにより、p 型 T F T の半導体層 3 a のソース及びドレイン領域 3 0 4 が形成される。本実施例では p 型 T F T に L D D 領域を形成しないため、不純物の注入は 1 回でよい。なお、p 型 T F T のチャネル領域 3 0 5 にはボロン等の p 型不純物は注入されない。その後レジストマスク 6 a 及び 6 b を剥離する。

【 0 0 4 3 】

次に、図 3（b）に示すように、 500°C 前後の熱処理あるいはエキシマレーザ等によるアニールにより、n 型及び p 型の不純物を活性化する。

【 0 0 4 4 】

次に、図 3（c）に示すように、S i N 等を厚さ 300 nm 程度成膜して層間絶縁膜 7 を形成し、当該層間絶縁膜 7 及びゲート絶縁膜 4 にコンタクトホールを開口する。また、A l 等を厚さ 300 nm 程度成膜してパターニングし、配線 8 を形成する。これにより、n 型 T F T 及び p 型 T F T が完成する。なお、図示し

ていないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0045】

なお、図2(c)で示したLDD領域形成のためのn型不純物の注入は、図3(a)に示すレジストマスク6a及び6bを剥離した後であって、図3(b)で示すレーザ光を照射する工程の前に行うようにしてもよい。

【0046】

本実施例では、n型TFTのソース及びドレイン領域301を形成するためのn型不純物注入時に、ゲート電極となるMo等の金属薄膜5の幅をLDD領域306の幅だけ広くなるように形成しておき、LDD領域306を形成するときには金属薄膜5をゲート電極の幅に成形している。これにより、従来例のように半導体膜とゲート絶縁膜による階段状の構造を用いずにLDD領域を形成することができるようになる。またこれにより、レーザ光の照射により不純物を活性化する場合であっても、ゲート絶縁膜4に覆われていない部分がないため活性化のエネルギーの最適化が容易になる。なお、ゲート絶縁膜4については、コンタクトホール部以外はエッチングすることがないので、ゲート電極とソース及びドレイン領域との間のリーク電流も生じにくい。さらに、ソース及びドレイン領域301への不純物の注入時には金属薄膜がマスクとなるので、ゲート絶縁膜4が薄膜化しても、マスクの能力が低下するという問題は生じなくなる。

【0047】

なお、図2(c)でLDD領域306へのn型不純物の注入時に、p型TFTのソース及びドレイン領域304にもn型不純物が注入されてしまうが、図3(a)においてp型TFTのソース及びドレイン領域304に注入されるp型不純物の10分の1以下の量であるから、その影響についてはほとんど無視することができる。したがって、製造プロセスを増加させることなしに、不純物の活性化及びLDD領域における不純物の制御を容易にすることができ、素子特性の向上を図ることができるようになる。

【0048】

また、本実施例ではp型TFTにLDDが形成されていない。p型TFTではホットキャリア劣化があまり問題とならないため特にLDDを形成する必要はな

く、むしろ駆動能力を上げるためにはLDDが形成されていない方がよい。

【0049】

〔実施例2〕

次に、本実施の形態の実施例2によるTFT基板の製造方法について図4及び図5を用いて説明する。本実施例では、低電圧用p型TFT、低電圧用n型TFT、高電圧用p型TFT及び高電圧用n型TFTが同時に形成されている。図4及び図5は、TFT基板の構成及び製造方法を示す工程断面図である。図4及び図5においては、低電圧用p型TFT、低電圧用n型TFT、高電圧用p型TFT及び高電圧用n型TFTを図の左側から順に示している。

【0050】

まず、図4(a)に示すように、ガラス等の透明絶縁性基板21上にSiO₂等を厚さ80nm程度成膜し、バッファ層22を形成する。次に、プラズマCVD等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ50nm程度のポリシリコンの半導体層23を形成する。次に、レジストを塗布してパターンニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてドライエッチングを行い、島状の半導体層23a、23b、23c及び23dを形成する。次に、半導体層23a、23b、23c及び23d上にSiO₂等を厚さ30nm程度成膜し、第1のゲート絶縁膜24を形成する。第1のゲート絶縁膜24は、低電圧用TFTのためのゲート絶縁膜となる。

【0051】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターンニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用p型TFT及び低電圧用n型TFTのソース及びドレイン領域に対応する部分と、高電圧用p型TFT及び高電圧用n型TFTの部分とを除去する。すなわち金属薄膜は、低電圧用p型TFTのゲート電極25aと、低電圧用n型TFTのゲート電極25bとが残るようにパターンニングされる。次いで、ゲート電極25a及び25b上にSiO₂等を厚さ70nm程度成膜し、第2のゲート絶縁膜26

を形成する。第 1 のゲート絶縁膜 2 4 は低電圧用 T F T のためのゲート絶縁膜であるため、低電圧用 T F T に合わせて膜厚を決定できる。また、第 1 のゲート絶縁膜 2 4 及び第 2 のゲート絶縁膜 2 6 の 2 層のゲート絶縁膜により高電圧用 T F T のゲート絶縁膜が構成されるので、第 2 のゲート絶縁膜 2 6 の膜厚を調整することにより、高電圧用 T F T に合わせてゲート絶縁膜の膜厚を決定できる。

【 0 0 5 2 】

次に、図 4 (b) に示すように、高電圧用 T F T のゲート電極となる A 1 等を厚さ 3 0 0 n m 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターンニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用 n 型 T F T の部分と、高電圧用 n 型 T F T のソース及びドレイン領域 2 3 1 に対応する部分とを除去する。すなわち金属薄膜は、低電圧用 p 型 T F T 全体の幅以上の幅を有する金属薄膜の部分 2 7 a、高電圧用 p 型 T F T 全体の幅以上の幅を有する金属薄膜の部分 2 7 b、及び高電圧用 n 型 T F T のチャネル領域及び L D D 領域に対応する金属薄膜の部分 2 7 c が残るようにパターンニングされる。高電圧用 n 型 T F T には L D D 領域が設けられるため、L D D 領域の分だけ金属薄膜の部分 2 7 c の幅がゲート幅より広がっている。その後レジストマスクを除去する。

【 0 0 5 3 】

次に、A 1 等の金属薄膜の残された部分 2 7 a、2 7 b 及び 2 7 c をマスクとして、リン等の n 型の不純物を高加速・高ドーズ量（例えば 9 0 k e V、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 2 4 及び 2 6 を通して注入する 1 回目の注入を行う。これにより、低電圧用 n 型 T F T のソース及びドレイン領域 2 4 0 と、高電圧用 n 型 T F T のソース及びドレイン領域 2 3 1 とが形成される。金属薄膜の部分 2 7 a、2 7 b 及び 2 7 c がマスクとなっているため、低電圧用 p 型 T F T の半導体層 2 3 a、高電圧用 p 型 T F T の半導体層 2 3 c、高電圧用 n 型 T F T の L D D 領域及びチャネル領域となるべき部分 2 3 3 には不純物が注入されない。また、ゲート電極 2 5 b がマスクとなるため、低電圧用 n 型 T F T のチャネル 2 3 2 には不純物は注入されない。

【 0 0 5 4 】

次に、レジストを塗布してパターンニングし、レジストマスクを形成する。次に、レジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用 p 型 T F T の部分 2 7 a と、高電圧用 p 型 T F T のソース及びドレイン領域 2 3 6 に対応する部分と、高電圧用 n 型 T F T の L D D 領域 2 3 8 に対応する部分を除去する。すなわち金属薄膜は、高電圧用 p 型 T F T のゲート電極 2 7 1 と、高電圧用 n 型 T F T のゲート電極 2 7 2 とが残るようにパターンニングされる。その後レジストマスクを除去する。

【 0 0 5 5 】

次に、図 4 (c) に示すように、高電圧用 p 型 T F T のゲート電極 2 7 1 及び高電圧用 n 型 T F T のゲート電極 2 7 2 をマスクとし、リン等の n 型の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 2 4 及び 2 6 を通して注入する 2 回目の注入を行う。これにより、高電圧用 n 型 T F T のソース又はドレイン領域 2 3 1 とチャネル領域 2 3 9 の間の半導体層に L D D 領域 2 3 8 を形成する。一方、低電圧用 p 型 T F T のソース及びドレイン領域 2 3 4 と高電圧用 p 型 T F T のソース及びドレイン領域 2 3 6 とにも、高加速・低ドーズ量の条件の下、n 型の不純物が注入される。なお、高電圧用 p 型 T F T のチャネル領域 2 3 7 及び高電圧用 n 型 T F T のチャネル領域 2 3 9 には、ゲート電極 2 7 1 及び 2 7 2 がマスクとなるため n 型の不純物は注入されない。また、低電圧用 p 型 T F T のゲート電極 2 5 a 及び低電圧用 n 型 T F T のゲート電極 2 5 b もマスクとして作用して、チャネル領域 2 3 5 及び 2 3 2 には n 型の不純物が注入されない。

【 0 0 5 6 】

次に、図 5 (a) に示すように、レジストを塗布してパターンニングし、低電圧用 n 型 T F T 全体及び高電圧用 n 型 T F T 全体を覆うようなレジストマスク 2 8 a 及び 2 8 b を形成する。これにより、低電圧用 n 型 T F T 及び高電圧用 n 型 T F T に p 型の不純物が導入されないようになる。すなわち、低電圧用 p 型 T F T のゲート電極 2 5 a 及び高電圧用 p 型 T F T のゲート電極 2 7 1 をマスクとして、高電圧用 p 型 T F T 及び低電圧用 p 型 T F T にのみ選択的にボロン等の p 型不純物を高加速・高ドーズ量の条件（例えば 70 keV 、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条

件の下でゲート絶縁膜 2 4 及び 2 6 を通して注入する。これにより、低電圧用 p 型 T F T の半導体層のソース及びドレイン領域 2 3 4 と、高電圧用 p 型 T F T の半導体層のソース及びドレイン領域 2 3 6 とを形成する。p 型 T F T には L D D 領域を形成しないので、不純物の注入は 1 回でよい。

【 0 0 5 7 】

その後レジストマスク 2 8 a 及び 2 8 b を剥離する。次に、図 5 (b) に示すように、5 0 0 ° C 前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n 型及び p 型の不純物を活性化する。

【 0 0 5 8 】

次に、図 5 (c) に示すように、S i N 等を厚さ 3 0 0 n m 程度成膜して層間絶縁膜 2 9 を形成し、当該層間絶縁膜 2 9 及びゲート絶縁膜 2 4 及び 2 6 にコンタクトホールを開口する。また、A l 等を厚さ 3 0 0 n m 程度成膜してパターニングし、配線 3 0 を形成する。これにより、低電圧用 n 型 T F T 、低電圧用 p 型 T F T 、高電圧用 n 型 T F T 及び高電圧用 p 型 T F T が完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成して T F T 基板が完成する。

【 0 0 5 9 】

本実施例による T F T 基板の低電圧用 p 型 T F T は、透明絶縁性基板 2 1 上にこの順番に形成されたバッファ層 2 2 と、p 型のソース及びドレイン領域 2 3 4 とチャネル領域 2 3 5 とを含む半導体層 2 3 と、第 1 のゲート絶縁膜 2 4 と、チャネル領域 2 3 5 上に形成されたゲート電極 2 5 a と、第 2 のゲート絶縁膜 2 6 と、層間絶縁膜 2 9 と、層間絶縁膜 2 9 及び第 1 及び第 2 のゲート絶縁膜 2 4 及び 2 6 に設けられ且つソース及びドレイン領域 2 3 4 と接触させるためのコンタクトホールに接続された配線 3 0 とから構成される。また低電圧用 n 型 T F T は、透明絶縁性基板 2 1 上にこの順番に形成されたバッファ層 2 2 と、n 型のソース及びドレイン領域 2 4 0 及びチャネル領域 2 3 2 を含む半導体層 2 3 と、第 1 のゲート絶縁膜 2 4 と、チャネル領域 2 3 2 上に形成されたゲート電極 2 5 b と、第 2 のゲート絶縁膜 2 6 と、層間絶縁膜 2 9 と、層間絶縁膜 2 9 及び第 1 及び第 2 のゲート絶縁膜 2 4 及び 2 6 に設けられ且つソース及びドレイン領域 2 4 0 と接続するためのコンタクトホールに接続された配線 3 0 とから構成される。

【 0 0 6 0 】

高電圧用 p 型 T F T は、透明性絶縁性基板 2 1 上にこの順番に形成されたバッファ層 2 2 と、p 型のソース及びドレイン領域 2 3 6 とチャンネル領域 2 3 7 とを含む半導体層 2 3 と、第 1 のゲート絶縁膜 2 4 と、第 2 のゲート絶縁膜 2 6 と、チャンネル領域 2 3 7 上に形成されたゲート電極 2 7 1 と、層間絶縁膜 2 9 と、層間絶縁膜 2 9 及び第 1 及び第 2 のゲート絶縁膜 2 4 及び 2 6 に設けられ且つソース及びドレイン領域 2 3 6 と接続するためのコンタクトホールに接続された配線 3 0 とから構成される。また、高電圧用 n 型 T F T は、透明性絶縁性基板 2 1 上にこの順番に形成されたバッファ層 2 2 と、n 型のソース及びドレイン領域 2 3 1 と L D D 領域 2 3 8 とチャンネル領域 2 3 9 とを含む半導体層 2 3 と、第 1 のゲート絶縁膜 2 4 と、第 2 のゲート絶縁膜 2 6 と、チャンネル領域 2 3 9 上に形成されたゲート電極 2 7 2 と、層間絶縁膜 2 9 と、層間絶縁膜 2 9 及び第 1 及び第 2 のゲート絶縁膜 2 4 及び 2 6 に設けられ且つソース及びドレイン領域 2 3 1 と接続するためのコンタクトホールに接続された配線 3 0 とから構成される。

【 0 0 6 1 】

なお、図 4 (c) で示した L D D 領域形成のための n 型不純物の注入は、図 5 (a) に示すレジストマスク 2 8 a 及び 2 8 b を剥離した後であって、図 5 (b) に示すレーザ光を照射する工程の前に行うようにしてもよい。また、一部の高電圧用 n 型 T F T において、図 4 (b) に示す金属薄膜の部分 2 7 c を予めゲート電極に成形して 1 回目の n 型不純物の注入を行い、図 4 (c) に示すゲート電極 2 7 1 及び 2 7 2 の形成工程において、当該一部の高電圧用 n 型 T F T のゲート電極 2 7 2 を覆うレジストマスクを形成しておいてもよい。そうすればエッチングがなされないので、レジストマスク剥離後 2 回目の n 型不純物の注入が行われても L D D 領域が設けられない高電圧用 n 型 T F T を形成することができるようになる。

【 0 0 6 2 】

本実施例では、2 層のゲート絶縁膜が形成されている。低電圧用 T F T のゲート絶縁膜はゲート絶縁膜 2 4 の 1 層で構成され、高電圧用 T F T のゲート絶縁膜はゲート絶縁膜 2 4 及び 2 6 の 2 層で構成される。また、ゲート絶縁膜をドライ

エッチング・加工せずに高電圧用 T F T 及び低電圧用 T F T を製造しているため、ゲート絶縁膜のドライエッチングにより生ずる半導体層へのプラズマダメージを回避できる。また、低電圧用 T F T のゲート絶縁膜 2 4 は基板全面に形成されているため、ゲート電極 2 5 a 及び 2 5 b と半導体層との間のリーク電流は防止できる。また、高電圧用 n 型 T F T の金属薄膜 2 7 c は、1 回目の n 型不純物注入時には L D D 領域 2 3 8 の幅だけゲート電極 2 7 2 より広く形成されており、2 回目の n 型不純物注入時には本来のゲート幅のゲート電極 2 7 2 に成形されるようになっている。したがって、半導体層及びゲート絶縁膜による階段状の構造を用いずに L D D 領域を形成することができるため、従来例における問題点は解決できる。本実施例では、高電圧用 T F T は厚いゲート絶縁膜で L D D 構造があり、低電圧用 T F T には薄いゲート絶縁膜で L D D 構造がないため、高耐圧な T F T と高速な T F T を両立することができる。

【 0 0 6 3 】

また、本実施例では p 型 T F T には L D D が形成されない。p 型 T F T ではホットキャリア劣化があまり問題とならないため特に L D D を形成する必要はなく、むしろ駆動能力を上げるためには L D D が形成されていない方がよい。

【 0 0 6 4 】

〔実施例 3〕

次に、実施例 2 の変形例として、本実施の形態の実施例 3 による T F T 基板の製造方法について図 6 及び図 7 を用いて説明する。図 6 及び図 7 は、T F T 基板構成及び製造方法を示す工程断面図である。図 6 及び図 7 においては、低電圧用 p 型 T F T、低電圧用 n 型 T F T、高電圧用 p 型 T F T 及び高電圧用 n 型 T F T を図の左側から順に示している。

【 0 0 6 5 】

まず、図 6 (a) に示すように、ガラス等の透明絶縁性基板 3 1 上に SiO_2 等を厚さ 8 0 n m 程度成膜し、バッファ層 3 2 を形成する。次に、プラズマ C V D 等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ 5 0 n m 程度のポリシリコンの半導体層 3 3 を形成する。次に、レジストを塗布してパターニングし、レジストマス

クを形成する。このレジストマスクをエッチングマスクとして用いてドライエッチングを行い、島状の半導体層 3 3 a、3 3 b、3 3 c 及び 3 3 d を形成する。半導体層 3 3 a、3 3 b、3 3 c 及び 3 3 d 上に SiO_2 等を厚さ 3 0 n m 程度成膜し、第 1 のゲート絶縁膜 3 4 を形成する。第 1 のゲート絶縁膜 3 4 は、低電圧用 T F T のためのゲート絶縁膜となる。

【 0 0 6 6 】

次に、M o 等を厚さ 3 0 0 n m 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用 p 型 T F T 及び低電圧用 n 型 T F T のソース及びドレイン領域に対応する部分と、高電圧用 p 型 T F T 及び高電圧用 n 型 T F T の部分とを除去する。すなわち金属薄膜は、低電圧用 p 型 T F T のゲート電極 3 5 a と低電圧用 n 型 T F T のゲート電極 3 5 b とが残るようにパターニングされる。次いで、ゲート電極 3 5 a 及び 3 5 b 上に SiO_2 等を厚さ 7 0 n m 程度成膜し、第 2 のゲート絶縁膜 3 6 を形成する。第 1 のゲート絶縁膜 3 4 は低電圧用 T F T のためのゲート絶縁膜であるので低電圧用 T F T に合わせて膜厚を決定できる。また、第 1 のゲート絶縁膜 3 4 及び第 2 のゲート絶縁膜 3 6 の 2 層のゲート絶縁膜により高電圧用 T F T のゲート絶縁膜が構成されるので、第 2 のゲート絶縁膜 3 6 の膜厚を調整することにより高電圧用 T F T に合わせてゲート絶縁膜の膜厚を決定できる。

【 0 0 6 7 】

次に、図 6 (b) に示すように、高電圧用 T F T のゲート電極となる A l 等を厚さ 3 0 0 n m 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスク 3 8 a、3 8 b 及び 3 8 c を形成する。レジストマスク 3 8 a、3 8 b 及び 3 8 c をエッチングマスクとしてドライエッチングを行い、金属薄膜のうち低電圧用 n 型 T F T の部分と、高電圧用 n 型 T F T のソース及びドレイン領域 3 3 3 に対応する部分とを除去する。すなわち金属薄膜は、低電圧用 p 型 T F T 全体の幅以上の幅を有する金属薄膜の部分、高電圧用 p 型 T F T 全体の幅以上の幅を有する金属薄膜の部分、及び高電圧用 n 型 T F T の場合には L D D 領域及びチャネル領域に対応する部分が残るようにパターニングされ

る。

【 0 0 6 8 】

その後ウエットエッチングによるサイドエッチングを行う。ドライエッチングにより残った A 1 等の金属薄膜の幅を狭くするように、金属薄膜の側面をエッチングするためである。すなわち、低電圧用 p 型 T F T 全体の幅を有する金属薄膜の部分 3 7 a、高電圧用 p 型 T F T 全体の幅を有する金属薄膜の部分 3 7 b、及び高電圧用 n 型 T F T の場合にはチャネル領域に対応する金属薄膜の部分 3 7 c（高電圧用 n 型 T F T のゲート電極）が残るようにエッチングする。高電圧用 n 型 T F T の場合には L D D 領域が設けられるため、レジストマスク 3 8 c は L D D 領域の分だけゲート電極 3 7 c より幅が広がっている。

【 0 0 6 9 】

続いて、レジストマスク 3 8 a、3 8 b 及び 3 8 c を残したまま、レジストマスク 3 8 a、3 8 b 及び 3 8 c と低電圧用 n 型 T F T のゲート電極 3 5 b とをマスクとして、リン等の n 型の不純物を高加速・高ドーズ量（例えば 90 keV 、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 3 4 及び 3 6 を通して注入する 1 回目の注入を行う。これにより、低電圧用 n 型 T F T のソース及びドレイン領域 3 3 1 と、高電圧用 n 型 T F T のソース及びドレイン領域 3 3 3 とを形成する。金属薄膜 3 7 a、3 7 b 及び 3 7 c より幅の広いレジストマスク 3 8 a、3 8 b 及び 3 8 c がマスクとなっているため、低電圧用 p 型 T F T の半導体層 3 3 a、高電圧用 p 型 T F T の半導体層 3 3 c、高電圧用 n 型 T F T の L D D 領域及びチャネル領域となるべき部分 3 3 4 には不純物は注入されない。また、低電圧用 n 型 T F T のゲート電極もマスクとなるため、チャネル領域 3 3 2 には不純物が注入されない。

【 0 0 7 0 】

次に、レジストマスク 3 8 a、3 8 b 及び 3 8 c を除去する。次に、図 6（c）に示すように、低電圧用 p 型 T F T のための金属薄膜の部分 3 7 a、低電圧用 n 型 T F T のゲート電極 3 5 b、高電圧用 p 型 T F T のための金属薄膜の部分 3 7 b 及び高電圧用 n 型 T F T のゲート電極 3 7 c をマスクとし、リン等の n 型の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の

下でゲート絶縁膜 3 4 及び 3 6 を通して注入する 2 回目の注入を行う。これにより、高電圧用 n 型 T F T のソース又はドレイン領域 3 3 3 とチャネル領域 3 3 6 との間の半導体層に L D D 領域 3 3 5 を形成する。低電圧用 n 型 T F T のゲート電極もマスクとなるため、チャネル領域 3 3 2 には不純物は注入されない。

【 0 0 7 1 】

次に、図 6 (d) に示すように、レジストを塗布してパターニングし、低電圧用 n 型 T F T 全体を覆うようなレジストマスク 3 9 a、高電圧用 n 型 T F T 全体を覆うようなレジストマスク 3 9 c、高電圧用 p 型 T F T のゲート電極 3 7 1 を形成するためのレジストマスク 3 9 b を形成する。これにより、低電圧用 n 型 T F T 及び高電圧用 n 型 T F T に p 型の不純物が導入されないようになるとともに、高電圧用 p 型 T F T のゲート電極 3 7 1 を形成できるようになる。レジストマスク 3 9 a、3 9 b 及び 3 9 c を用いてエッチングを行うことにより、低電圧用 p 型 T F T の金属薄膜の部分 3 7 a と、高電圧用 p 型 T F T のソース及びドレイン領域に対応する金属薄膜の部分とを除去する。

【 0 0 7 2 】

なお、エッチング方法がドライエッチングであっても A 1 をエッチングすると一般的に側面が削れしまうため、レジストマスク 3 9 b の幅よりも金属薄膜の部分 3 7 1 の幅は狭くなることがある。このままボロン等の p 型の不純物を注入すると、高電圧用 p 型 T F T のソース及びドレイン領域とチャネル領域の間に不純物が注入されない領域が生じて、いわゆるオフセット構造になってしまう。

【 0 0 7 3 】

そこで、図 7 (a) に示すように、酸素プラズマ中でレジストマスク 3 9 b の表面をアッシング（灰化）し、金属薄膜の部分 3 7 1 の幅と同等か又はやや狭くなくように加工して、レジストマスク 3 9 d を形成する。その後、レジストマスク 3 9 a 及び 3 9 c 並びに金属薄膜の部分 3 7 1 （高電圧用 p 型 T F T のゲート電極）をマスクとして、高電圧用 p 型 T F T 及び低電圧用 p 型 T F T にのみ選択的にボロン等の p 型の不純物を高加速・高ドーズ量の条件（例えば 70 keV 、 $1 \times 10^{15}\text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 3 4 及び 3 6 を通して注入する。これにより、低電圧用 p 型 T F T の半導体層のソース及びドレイン領域 3 3 7 と

、高電圧用 p 型 T F T の半導体層のソース及びドレイン領域 3 3 9 とを形成する。p 型 T F T には L D D 領域を形成しないので、不純物の注入は 1 回でよい。低電圧用 p 型 T F T についてはゲート電極 3 5 a、高電圧用 p 型 T F T についてはゲート電極 3 7 1 によりマスクされるチャネル領域 3 3 8 及び 3 4 0 にはボロン等の p 型の不純物は注入されない。

【 0 0 7 4 】

その後レジストマスク 3 9 a、3 9 d 及び 3 9 c を剥離する。次に、図 7 (b) に示すように、5 0 0 ℃前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n 型及び p 型の不純物を活性化する。

【 0 0 7 5 】

次に、図 7 (c) に示すように、S i N 等を厚さ 3 0 0 n m 程度成膜して層間絶縁膜 4 0 を形成し、当該層間絶縁膜 4 0 及びゲート絶縁膜 3 4 及び 3 6 にコンタクトホールを開口する。また、A l 等を厚さ 3 0 0 n m 程度成膜してパターニングし、配線 4 0 1 を形成する。これにより、低電圧用 n 型 T F T、低電圧用 p 型 T F T、高電圧用 n 型 T F T 及び高電圧用 p 型 T F T が完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成して T F T 基板が完成する。

【 0 0 7 6 】

図 6 (c) に示した L D D 領域 3 3 5 形成のための不純物注入は、図 7 (b) で示したレーザ光照射の前に行うようにしてもよい。すなわち図 7 (a) に示すレジストマスク 3 9 a、3 9 d 及び 3 9 c の剥離後である。また、図 6 (b) において、ドライエッチングに続いてサイドエッチングを行ってレジストマスク 3 8 c より金属薄膜の幅を狭くしているが、ドライエッチングは用いず、ウェットエッチングにより金属薄膜をエッチングしながら同時にサイドエッチングを行うようにしてもよいし、また、1 回目の n 型不純物の注入後（ただし、レジストマスク 3 8 c 剥離前）、サイドエッチングを行ってもよい。

【 0 0 7 7 】

本実施例では、L D D 領域 3 3 5 の形成のためゲート電極 3 7 c のサイドエッチングを行い、金属薄膜のエッチングに利用したレジストマスク 3 8 c をマスク

として高電圧用 n 型 T F T のソース及びドレイン領域 3 3 3 を形成している。このため、実施例 2 に比べてフォトリソグラフィ工程が 1 工程少なくできる。なお、低電圧用 T F T では高速動作のためチャンネル長 (= ゲート電極 3 5 a 及び 3 5 b の幅) はできるだけ短くする必要がある、制御の難しいゲート電極のサイドエッチングを積極的に利用することは現実的ではない。しかし、本実施例では低電圧用 T F T と高電圧用 T F T のゲート電極はそれぞれ別工程で形成されている。すなわち本実施例では、あまりチャンネル長を短くする必要のない高電圧用 T F T のゲート電極のみにサイドエッチングを行って L D D を形成しているため、特に問題はない。また、サイドエッチングを利用して L D D 領域 3 3 5 を形成すると、ゲート電極 3 7 c 形成時における 1 乃至 3 μ m 前後の高精度なマスク合わせが不要になるという利点もある。

【 0 0 7 8 】

〔実施例 4〕

次に、本実施の形態の実施例 4 による T F T 基板の製造方法について図 8 及び図 9 を用いて説明する。図 8 及び図 9 は、T F T 基板の構成及び製造方法を示す工程断面図である。図 8 及び図 9 においては、低電圧用 p 型 T F T、低電圧用 n 型 T F T、高電圧用 p 型 T F T 及び高電圧用 n 型 T F T を図の左側から順に示している。

【 0 0 7 9 】

まず、図 8 (a) に示すように、ガラス等の透明絶縁性基板 4 1 上に $S i O_2$ 等を厚さ 8 0 n m 程度成膜し、バッファ層 4 2 を形成する。次に、プラズマ C V D 等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ 5 0 n m 程度のポリシリコンの半導体層 4 3 を形成する。次に、レジストを塗布してパターンニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてドライエッチングを行い、島状の半導体層 4 3 a、4 3 b、4 3 c 及び 4 3 d を形成する。半導体層 4 3 a、4 3 b、4 3 c 及び 4 3 d 上に $S i O_2$ 等を厚さ 3 0 n m 程度成膜し、第 1 のゲート絶縁膜 4 4 を形成する。第 1 のゲート絶縁膜 4 4 は、低電圧用 T F T のためのゲート絶縁膜となる。

【 0 0 8 0 】

次に、Mo等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用p型TFET及び低電圧用n型TFETのソース及びドレイン領域に対応する部分と、高電圧用p型TFET及び高電圧用n型TFETの部分とを除去する。すなわち金属薄膜は、低電圧用p型TFETのゲート電極45aと低電圧用n型TFETのゲート電極45bとが残るようにパターニングされる。次いで、ゲート電極45a及び45b上にSiO₂等を厚さ70nm程度成膜し、第2のゲート絶縁膜46を形成する。第1のゲート絶縁膜44は低電圧用TFETのためのゲート絶縁膜であるため、低電圧用TFETに合わせて膜厚を決定できる。また、第1のゲート絶縁膜44及び第2のゲート絶縁膜46の2層のゲート絶縁膜により高電圧用TFETのゲート絶縁膜が構成されるので、第2のゲート絶縁膜46の膜厚を調整することにより、高電圧用TFETに合わせてゲート絶縁膜の膜厚を決定できる。

【 0 0 8 1 】

次に、図8(b)に示すように、高電圧用TFETのゲート電極となるA1等を厚さ300nm程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとしてエッチングを行い、金属薄膜のうち低電圧用p型TFETの部分と、高電圧用p型TFETのソース及びドレイン領域433に対応する部分とを除去する。すなわち金属薄膜は、低電圧用n型TFET全体の幅以上の幅を有する金属薄膜の部分47aと、高電圧用n型TFET全体の幅以上の幅を有する金属薄膜の部分47cと、高電圧用p型TFETのゲート電極47bが残るようにパターニングされる。その後、レジストマスクを除去する。

【 0 0 8 2 】

次に、図8(b)に示すように、低電圧用n型TFET全体の幅以上の幅を有する金属薄膜の部分47aと、低電圧用p型TFETのゲート電極45aと、高電圧用p型TFETのゲート電極47bと、高電圧用n型TFET全体の幅以上の幅を有する金属薄膜の部分47cとをマスクとして、ボロン等のp型の不純物を高加速

・高ドーズ量の条件（例えば 70 keV 、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下で注入する。これにより、低電圧用 p 型 T F T の半導体層のソース及びドレイン領域 4 3 1 と、高電圧用 p 型 T F T の半導体層のソース及びドレイン領域 4 3 3 とを形成する。p 型 T F T には L D D 領域を形成しないので、不純物の注入は 1 回でよい。この注入においても、低電圧用 p 型 T F T のチャネル領域 4 3 2 と高電圧用 p 型 T F T のチャネル領域 4 3 4 とには、ボロン等の p 型不純物は注入されない。

【 0 0 8 3 】

次に、図 8（c）に示すように、レジストを塗布してパターニングし、低電圧用 p 型 T F T 全体を覆うようなレジストマスク 4 8 a、高電圧用 p 型 T F T 全体を覆うようなレジストマスク 4 8 b、高電圧用 n 型 T F T のチャネル領域及び L D D 領域となる部分に対応する金属薄膜を覆うようなレジストマスク 4 8 c を形成する。レジストマスク 4 8 a、4 8 b、4 8 c をエッチングマスクとして用いてドライエッチングを行い、A 1 等の金属薄膜のうち低電圧用 n 型 T F T の部分と、高電圧用 n 型 T F T のソース及びドレイン領域 4 3 7 に対応する部分とを除去する。すなわち金属薄膜は、高電圧用 p 型 T F T のゲート電極 4 7 b と、高電圧用 n 型 T F T の L D D 領域及びチャネル領域 4 3 8 になるべき領域に対応する部分が残るようにパターニングされる。

【 0 0 8 4 】

その後、ウエットエッチングによるサイドエッチングを行う。ドライエッチングにより残った A 1 等の金属薄膜の幅を狭くするように、金属薄膜の側面をエッチングするためである。すなわち、高電圧用 n 型 T F T のチャネル領域に対応する金属薄膜の部分 4 7 1（高電圧用 n 型 T F T のゲート電極）が残るようにエッチングする。高電圧用 n 型 T F T の場合には L D D 領域が設けられるため、レジストマスク 4 8 c は L D D 領域の分だけゲート電極 4 7 1 より幅が広がっている。

【 0 0 8 5 】

続いて、レジストマスク 4 8 a、4 8 b 及び 4 8 c を残したまま、レジストマスク 4 8 a、4 8 b 及び 4 8 c と低電圧用 n 型 T F T のゲート電極 4 5 b とをマ

スクとして、リン等の n 型の不純物を高加速・高ドーズ量（例えば 90 keV 、 $1 \times 10^{15}\text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 4 4 及び 4 6 を通して注入する 1 回目の注入を行う。これにより、低電圧用 n 型 T F T のソース及びドレイン領域 4 3 5 と、高電圧用 n 型 T F T のソース及びドレイン領域 4 3 7 とを形成する。金属薄膜の部分 4 7 1 より幅の広いレジストマスク 4 8 c がマスクとなっているため、高電圧用 n 型 T F T の L D D 領域及びチャネル領域となるべき部分 4 3 8 には不純物は注入されない。レジストマスク 4 8 a 及び 4 8 b のため、低電圧用 p 型 T F T 及び高電圧用 p 型 T F T には n 型の不純物は注入されない。また、低電圧用 n 型 T F T のゲート電極 4 5 b がマスクとなるため、チャネル領域 4 3 6 にも n 型の不純物は注入されない。

【 0 0 8 6 】

次に、レジストマスク 4 8 a、4 8 b 及び 4 8 c を除去する。次に、図 9（a）に示すように、A 1 等の金属薄膜の残された部分 4 7 b 及び 4 7 1 と、低電圧用 p 型 T F T のゲート電極 4 5 a と、低電圧用 n 型 T F T のゲート電極 4 5 b とをマスクとして、リン等の n 型の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13}\text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 4 4 及び 4 6 を通して注入する 2 回目の注入を行う。これにより、高電圧用 n 型 T F T のソース又はドレイン領域 4 3 7 とチャネル領域 4 5 0 との間の半導体層に L D D 領域 4 3 9 を形成する。一方、低電圧用 p 型 T F T のソース及びドレイン領域 4 3 1 と、高電圧用 p 型 T F T のソース及びドレイン領域 4 3 3 とにも、高加速・低ドーズ量の条件の下で n 型不純物が注入される。高電圧用 p 型 T F T のチャネル領域 4 3 4 及び高電圧用 n 型 T F T のチャネル領域 4 5 0 には、ゲート電極 4 7 b 及び 4 7 1 がマスクとなるため、n 型不純物が注入されない。また、低電圧用 p 型 T F T のゲート電極 4 5 a 及び低電圧用 n 型 T F T のゲート電極 4 5 b もマスクとなるため、チャネル領域 4 3 2 及び 4 3 6 には n 型不純物が注入されないようになっている。

【 0 0 8 7 】

次に、図 9（b）に示すように、 500°C 前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n 型及び p 型の不純物を活性化する。

【 0 0 8 8 】

次に、図 9 (c) に示すように、SiN等を厚さ300nm程度成膜して層間絶縁膜49を形成し、当該層間絶縁膜49及びゲート絶縁膜44及び46にコンタクトホールを開口する。また、Al等を厚さ300nm程度成膜してパターンニングし、配線50を形成する。これにより、低電圧用n型TFET、低電圧用p型TFET、高電圧用n型TFET及び高電圧用p型TFETが完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成してTFET基板が完成する。

【 0 0 8 9 】

本実施例では、レジストマスクを利用した不純物注入（又はイオンドープ、イオンシャワー）の工程は、図 8 (c) に示す1工程だけである。それに対し実施例3では、レジストマスクを利用した不純物注入工程が2工程必要になる。不純物注入後のレジストを剥離するには、酸素プラズマによる長時間のアッシングが必要である。このため、本実施例では実施例3よりも短時間でTFET基板を製造できるようになる。なお、図 8 (c) において、金属薄膜のサイドエッチングを行ってレジストマスク48cより金属薄膜の幅を狭くしているが、1回目のn型不純物の注入後であってレジストマスク48c剥離前にサイドエッチングを行うようにしてもよい。

【 0 0 9 0 】

なお、本実施例では、図 9 (a) に示すLDD領域439へのn型不純物の注入時に、p型TFETのソース及びドレイン領域431及び433にもn型不純物が注入されてしまうが、図 8 (b) に示す工程でp型TFETのソース及びドレイン領域431及び433に注入されるp型不純物の10分の1以下の量であるから、その影響についてはほとんど無視することができる。

【 0 0 9 1 】

また、本実施例ではp型TFETにはLDDが形成されない。p型TFETではホットキャリア劣化があまり問題とならないため特にLDDを形成する必要はなく、むしろ駆動能力を上げるためにはLDDが形成されていない方がよい。

【 0 0 9 2 】

【実施例5】

次に、実施例 2 の変形例として、本実施の形態の実施例 5 による T F T 基板の製造方法について図 1 0 及び図 1 1 を用いて説明する。図 1 0 及び図 1 1 は、T F T 基板の構成及び製造方法を示す工程断面図である。図 1 0 及び図 1 1 においては、低電圧用 p 型 T F T、低電圧用 n 型 T F T、高電圧用 p 型 T F T 及び高電圧用 n 型 T F T を図の左側から順に示している。

【 0 0 9 3 】

まず、図 1 0 (a) に示すように、ガラス等の透明絶縁性基板 6 1 上に SiO_2 等を厚さ 8 0 n m 程度成膜し、バッファ層 6 2 を形成する。次に、プラズマ C V D 等によりアモルファスシリコンを成膜した後、エキシマレーザ等でアニールしてアモルファスシリコンを結晶化させ、厚さ 5 0 n m 程度のポリシリコンの半導体層 6 3 を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、島状の半導体層 6 3 a、6 3 b、6 3 c 及び 6 3 d を形成する。半導体層 6 3 a、6 3 b、6 3 c 及び 6 3 d 上に SiO_2 等を厚さ 3 0 n m 程度成膜し、第 1 のゲート絶縁膜 6 4 を形成する。第 1 のゲート絶縁膜 6 4 は、低電圧用 T F T のためのゲート絶縁膜となる。

【 0 0 9 4 】

次に、Mo 等を厚さ 3 0 0 n m 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターニングし、レジストマスクを形成する。このレジストマスクをエッチングマスクとして用いてエッチングを行い、金属薄膜のうち低電圧用 p 型 T F T 及び低電圧用 n 型 T F T のソース及びドレイン領域に対応する部分と、高電圧用 p 型 T F T 及び高電圧用 n 型 T F T の部分とを除去する。すなわち金属薄膜は、低電圧用 p 型 T F T のゲート電極 6 5 a と低電圧用 n 型 T F T のゲート電極 6 5 b とが残るようにパターニングされる。次いで、ゲート電極 6 5 a 及び 6 5 b 上に SiO_2 等を厚さ 7 0 n m 程度成膜し、第 2 のゲート絶縁膜 6 6 を形成する。第 1 のゲート絶縁膜 6 4 は低電圧用 T F T のためのゲート絶縁膜であるため、低電圧用 T F T に合わせて膜厚を決定できる。また、第 1 のゲート絶縁膜 6 4 及び第 2 のゲート絶縁膜 6 6 の 2 層のゲート絶縁膜により高電圧用 T F T のゲート絶縁膜が構成されるので、第 2 のゲート絶縁膜 6 6 の膜厚を調整するこ

とにより、高電圧用 T F T に合わせてゲート絶縁膜の膜厚を決定できる。

【 0 0 9 5 】

次に、図 1 0 (b) に示すように、高電圧用 T F T のゲート電極となる A 1 等を厚さ 3 0 0 n m 程度成膜して金属薄膜を形成する。次に、レジストを塗布してパターンニングし、レジストマスク 6 8 a 及び 6 8 b を形成する。レジストマスク 6 8 a 及び 6 8 b をエッチングマスクとして用いてドライエッチングを行い、A 1 等の金属薄膜のうち、低電圧用 n 型 T F T 及び低電圧用 p 型 T F T の部分と、高電圧用 p 型 T F T のソース及びドレイン領域より幅の狭い部分 6 3 5 と、高電圧用 n 型 T F T のソース及びドレイン領域 6 3 7 に対応する部分とを除去する。すなわちこのドライエッチングでは、高電圧用 p 型 T F T のゲート電極より幅の広い金属薄膜の部分、及び高電圧用 n 型 T F T の L D D 領域及びチャネル領域に対応する金属薄膜の部分が残る。

【 0 0 9 6 】

続いて、ウエットエッチングによるサイドエッチングを行う。ドライエッチングにより残った金属薄膜の幅を狭くするように、金属薄膜の側面をエッチングするためである。これにより、高電圧用 p 型 T F T のゲート電極 6 7 a と、高電圧用 n 型 T F T のゲート電極 6 7 b とが形成される。高電圧用 n 型 T F T に L D D 領域を設けるために、レジストマスク 6 8 b は L D D 領域の分だけゲート電極 6 7 b の幅より広くなっている。なお、高電圧用 p 型 T F T には L D D 領域を形成しないが、レジストマスク 6 8 a はゲート電極 6 7 a の幅より広くなっている。

【 0 0 9 7 】

次に、レジストマスク 6 8 a 及び 6 8 b を残したまま、レジストマスク 6 8 a 及び 6 8 b、低電圧用 p 型 T F T のゲート電極 6 5 a 及び低電圧用 n 型 T F T のゲート電極 6 5 b をマスクとして、リン等の n 型の不純物を高加速・高ドーズ量（例えば 9 0 k e V、 $1 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 6 4 及び 6 6 を通して注入する 1 回目の注入を行う。これにより、低電圧用 n 型 T F T のソース及びドレイン領域 6 3 3 と、高電圧用 n 型 T F T のソース及びドレイン領域 6 3 7 とを形成する。金属薄膜 6 7 b より幅の広いレジストマスク 6 8 b がマスクとなっているため、高電圧用 n 型 T F T の L D D 領域及びチャネル領域となる

べき部分 6 3 8 には不純物は注入されない。また、低電圧用 n 型 T F T のゲート電極 6 5 b もマスクとなるため、チャネル領域 6 3 4 には n 型不純物が注入されない。ただし、低電圧用 p 型 T F T のソース及びドレイン領域となるべき部分 6 3 1 や高電圧用 p 型 T F T のソース及びドレイン領域となるべき部分の一部 6 3 5 には、n 型の不純物が注入されてしまう。

【 0 0 9 8 】

次に、レジストマスク 6 8 a 及び 6 8 b を除去する。次に、図 1 0 (c) に示すように、低電圧用 p 型 T F T のゲート電極 6 5 a、低電圧用 n 型 T F T のゲート電極 6 5 b、高電圧用 p 型 T F T のゲート電極 6 7 a、及び高電圧用 n 型 T F T のゲート電極 6 7 b をマスクとし、リン等の n 型の不純物を高加速・低ドーズ量（例えば 90 keV 、 $5 \times 10^{13} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 6 4 及び 6 6 を通して注入する 2 回目の注入を行う。これにより、高電圧用 n 型 T F T のソース又はドレイン領域 6 3 7 とチャネル領域 6 4 2 との間の半導体層に L D D 領域 6 4 1 を形成する。本工程までは、高電圧用 p 型 T F T と L D D 領域を有する高電圧用 n 型 T F T とは、ほぼ同構成に形成される。同様に、本工程までは、低電圧用 p 型 T F T と低電圧用 n 型 T F T とは、ほぼ同構成に形成される。すなわち本工程までは、全ての T F T が n 型 T F T として形成される。

【 0 0 9 9 】

次に、図 1 1 (a) に示すように、レジストを塗布してパターニングし、低電圧用 n 型 T F T 全体を覆うようなレジストマスク 6 9 a と、高電圧用 n 型 T F T 全体を覆うようなレジストマスク 6 9 b とを形成する。これにより、低電圧用 n 型 T F T 及び高電圧用 n 型 T F T に p 型不純物が導入されないようになる。

【 0 1 0 0 】

次に、図 1 1 (a) に示すように、レジストマスク 6 9 a 及び 6 9 b と高電圧用 p 型 T F T のゲート電極 6 7 a と低電圧用 p 型 T F T のゲート電極 6 5 a とをマスクとして、高電圧用 p 型 T F T 及び低電圧用 p 型 T F T にのみ選択的にボロン等の p 型の不純物を高加速・高ドーズ量の条件（例えば 70 keV 、 $2 \times 10^{15} \text{ cm}^{-2}$ ）の条件の下でゲート絶縁膜 6 4 及び 6 6 を通して注入する。これにより、低電圧用 p 型 T F T のソース及びドレイン領域 6 4 4 と、高電圧用 p 型 T F

Tのソース及びドレイン領域643とを形成する。ソース及びドレイン領域644及び643には、前工程でn型不純物が注入されている。このため、ここではn型不純物の2倍程度の量のp型不純物をソース及びドレイン領域644及び643に注入し、ソース及びドレイン領域644及び643をp型に反転させる。p型TFTにはLDD領域を形成しないので、不純物の注入は1回でよい。低電圧用p型TFTではゲート電極65aがマスクとなり、高電圧用p型TFTではゲート電極67aがマスクとなるため、チャネル領域632及び640にはp型不純物は注入されない。

【0101】

次に、図11(b)に示すように、レジストマスク69a及び69bを剥離する。次に、500℃前後の熱処理あるいはエキシマレーザ等によるアニールを行い、n型及びp型の不純物を活性化する。

【0102】

次に、図11(c)に示すように、SiN等を厚さ300nm程度成膜して層間絶縁膜70を形成し、当該層間絶縁膜70及びゲート絶縁膜64及び66にコンタクトホールを開口する。また、Al等を厚さ300nm程度成膜してパターニングし、配線71を形成する。これにより、低電圧用n型TFT、低電圧用p型TFT、高電圧用n型TFT及び高電圧用p型TFTが完成する。なお、図示していないが、さらに保護膜及び画素電極などを形成してTFT基板が完成する。

【0103】

本実施例では実施例2乃至4とは異なり、高電圧用n型TFTのゲート電極67b及び高電圧用p型TFTのゲート電極67aを同時に加工しているため、ゲート電極のエッチングは1工程でよい。ただし、p型TFTにも高ドーズ量のn型不純物が注入されるので、p型TFTのソース及びドレイン領域643及び644の形成には反転ドーピングが必要になる。なお、本実施例においてもレジストマスクを利用したイオン注入は2工程必要になる。また、図10(c)に示すLDD形成のためのn型不純物の注入は、図11(b)に示すレーザ光照射の前であれば、p型不純物をp型TFTのソース及びドレイン領域へ注入してレジス

トマスク 6 9 a 及び 6 9 b を剥離した後であってもよい。さらに、本実施例では金属薄膜のドライエッチングに続いてサイドエッチングを行い、図 1 0 (b) に示すようにゲート電極 6 7 a 及び 6 7 b の幅をレジストマスク 6 8 a 及び 6 8 b の幅より狭くしているが、サイドエッチングは 1 回目の n 型不純物の注入後（ただしレジストマスク 6 8 a 及び 6 8 b の剥離前）に行うようにしてもよい。

【 0 1 0 4 】

以上本実施の形態の 5 つの実施例について説明したが、本発明はこれに限定されるものではない。特に実施例 2 乃至 5 については、上述のような製造方法ではなく、他の製造方法により同様の構造を実現するようにしてもよい。すなわち、第 1 及び第 2 のゲート絶縁膜を分けて形成するとともに、ゲート絶縁膜をエッチングしないで、LDD を伴う高電圧用 n 型 T F T、高電圧用 p 型 T F T、低電圧用 n 型 T F T 及び低電圧用 p 型 T F T を共通の製造プロセスで同時に製造することができれば、どのような製造方法であってもよい。

【 0 1 0 5 】

また、本実施の形態では液晶表示装置を例に挙げたが、本発明はこれに限らず、有機 E L 表示装置や無機 E L 表示装置等の他の表示装置にも適用できる。

【 0 1 0 6 】

以上説明した本実施の形態による薄膜トランジスタ装置及びその製造方法、並びにそれを備えた薄膜トランジスタ基板及び表示装置は、以下のようにまとめられる。

(付記 1)

基板上に所定形状の半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に金属薄膜を形成し、

第 1 導電型の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記金属薄膜を除去するようにパターニングし、

パターニングされた前記金属薄膜をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 導電型の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記金属薄膜をさらにパターニングして前記第 1 導電型の薄膜トランジスタのゲート電極を形成し、

前記第 1 導電型の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 導電型の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること
を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 0 7 】

(付記 2)

付記 1 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 導電型の薄膜トランジスタのゲート電極の形成と同時に第 2 導電型の薄膜トランジスタのゲート電極を形成し、

前記第 1 導電型の薄膜トランジスタを覆うようにレジストマスクを形成した後に、第 2 導電型の不純物を前記半導体層に注入して前記第 2 導電型の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 0 8 】

(付記 3)

付記 2 記載の薄膜トランジスタ装置の製造方法において、

前記レジストマスクを除去した後に、前記第 1 導電型の不純物を注入して前記低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 0 9 】

(付記 4)

付記 1 乃至 3 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 1 導電型及び／又は前記第 2 導電型の薄膜トランジスタのゲート電極を形成する工程は、前記低濃度不純物領域を形成しない前記第 1 導電型の薄膜トラ

ンジスタのゲート電極がエッチングされないようにレジストマスクで覆うことを特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 0 】

(付記 5)

基板上に形成された半導体層と、前記半導体層上に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に形成された第 1 のゲート電極とを備え、前記半導体層のソース及びドレイン領域とチャネル領域との間に低濃度不純物領域が形成された第 1 導電型の第 1 の薄膜トランジスタと、

前記半導体層と、前記第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に形成された第 2 のゲート電極と、前記第 2 のゲート電極上に形成され、前記第 2 のゲート絶縁膜と同一の形成材料で形成された絶縁膜とを備えた第 2 の薄膜トランジスタと

を有することを特徴とする薄膜トランジスタ装置。

【 0 1 1 1 】

(付記 6)

付記 5 記載の薄膜トランジスタ装置において、

前記半導体層と、前記第 1 のゲート絶縁膜と、前記第 2 のゲート絶縁膜と、前記第 1 のゲート電極とを備えた第 2 導電型の第 3 の薄膜トランジスタをさらに有していること

を特徴とする薄膜トランジスタ装置。

【 0 1 1 2 】

(付記 7)

基板上に互いに絶縁膜を介して交差して形成された複数のバスラインと、前記基板上的表示領域にマトリクス状に配置された画素領域と前記表示領域の周囲に配置された周辺回路とに形成された薄膜トランジスタ装置とを有する薄膜トランジスタ基板において、

前記薄膜トランジスタ装置は、付記 5 又は 6 に記載の薄膜トランジスタ装置であること

を特徴とする薄膜トランジスタ基板。

【 0 1 1 3 】

(付記 8)

スイッチング素子として薄膜トランジスタを有する基板を備えた表示装置において、

前記基板に、付記 7 記載の薄膜トランジスタ基板が用いられていることを特徴とする表示装置。

【 0 1 1 4 】

(付記 9)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 及び第 2 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 の薄膜トランジスタのゲート電極を形成し、

前記第 1 の薄膜トランジスタのゲート電極上に前記第 2 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 1 の薄膜トランジスタ上と、前記第 2 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するようにパターニングし、

前記第 1 の薄膜トランジスタのゲート電極と、パターニングされた前記第 2 の金属薄膜とをマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 2 の薄膜トランジスタのソース及びドレイン領域を形成し、

パターニングされた前記第 2 の金属薄膜をさらにパターニングして前記第 2 の薄膜トランジスタのゲート電極を形成し、

前記第 2 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 2 の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 5 】

(付記 1 0)

付記 9 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 の薄膜トランジスタのゲート電極の形成と同時に第 3 の薄膜トランジスタのゲート電極を形成し、

前記第 2 の薄膜トランジスタのゲート電極の形成と同時に第 4 の薄膜トランジスタのゲート電極を形成し、

前記第 1 及び第 2 の薄膜トランジスタを覆うようにレジストマスクを形成し、

前記レジストマスク並びに前記第 3 及び第 4 の薄膜トランジスタのゲート電極をマスクとして第 2 導電型の不純物を前記半導体層に注入して、前記第 3 及び第 4 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去した後に前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 6 】

(付記 1 1)

付記 1 0 記載の薄膜トランジスタ装置の製造方法において、

前記第 2 及び第 4 の薄膜トランジスタのゲート電極の形成と同時に、前記第 3 の薄膜トランジスタ上の前記第 2 の金属薄膜を除去すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 7 】

(付記 1 2)

付記 1 0 又は 1 1 に記載の薄膜トランジスタ装置の製造方法において、

前記レジストマスクを除去した後に、前記第 2 の薄膜トランジスタの低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 8 】

(付記 1 3)

付記 9 乃至 1 2 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 及び／又は第 4 の薄膜トランジスタのゲート電極を形成する工程は、前記低濃度不純物領域を形成しない前記第 2 の薄膜トランジスタのゲート電極がエッチングされないようにレジストマスクで覆うこと

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 1 9 】

(付記 1 4)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 及び第 2 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 の薄膜トランジスタのゲート電極を形成し、

前記第 1 の薄膜トランジスタのゲート電極上に前記第 2 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 2 の金属薄膜上に第 1 のレジストマスクを形成し、

前記第 1 の薄膜トランジスタ上と、前記第 2 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するように、前記第 1 のレジストマスクを用いてパターニングし、

パターニングされた前記第 2 の金属薄膜の幅を前記第 1 のレジストマスクの幅より狭く加工し、

前記第 1 のレジストマスク及び前記第 1 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 2 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第 1 のレジストマスクを除去し、

加工された前記第 2 の金属薄膜をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 2 の薄膜トランジスタのソース及びドレイン領域とチャ

ネル領域との間に低濃度不純物領域を形成すること
を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 0 】

(付記 1 5)

付記 1 4 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 の薄膜トランジスタのゲート電極の形成と同時に第 3 の薄膜トランジスタのゲート電極を形成し、

前記第 1 及び第 2 の薄膜トランジスタ上と、第 4 の薄膜トランジスタのゲート電極となる前記第 2 の金属薄膜上とに第 2 のレジストマスクを形成し、

前記第 3 の薄膜トランジスタ上と、前記第 4 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するように、前記第 2 のレジストマスクを用いてパターニングし、

前記第 2 のレジストマスクをマスクとして第 2 導電型の不純物を前記半導体層に注入して、前記第 3 及び第 4 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第 2 のレジストマスクを除去した後に前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 1 】

(付記 1 6)

付記 1 5 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 のレジストマスクをマスクとして前記第 1 導電型の不純物を前記半導体層に注入した後に、前記第 2 の金属薄膜の幅を前記第 1 のレジストマスクの幅より狭く加工すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 2 】

(付記 1 7)

付記 1 5 又は 1 6 に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 のレジストマスクを除去した後に、前記第 2 の金属薄膜をマスクとし

て前記第 1 導電型の不純物を前記半導体層に注入して、前記第 2 の薄膜トランジスタの前記低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 3 】

(付記 1 8)

付記 1 5 乃至 1 7 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 のレジストマスクをマスクとして第 2 導電型の不純物を前記半導体層に注入する前に、前記第 4 の薄膜トランジスタのゲート電極上の前記第 2 のレジストマスクの幅を当該ゲート電極の幅より狭く加工すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 4 】

(付記 1 9)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 及び第 2 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターンニングして前記第 1 の薄膜トランジスタのゲート電極を形成し、

前記第 1 の薄膜トランジスタのゲート電極上に前記第 2 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 1 の薄膜トランジスタ上と、前記第 2 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するようにパターンニングし、

前記第 1 の薄膜トランジスタのゲート電極と、パターンニングされた前記第 2 の金属薄膜とをマスクとして第 2 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 2 の薄膜トランジスタのソース及びドレイン領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 5 】

(付記 2 0)

付記 1 9 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 の薄膜トランジスタのゲート電極の形成と同時に第 3 の薄膜トランジスタのゲート電極を形成し、

前記第 1 及び第 2 の薄膜トランジスタ上と、第 4 の薄膜トランジスタのゲート電極となる領域の前記第 2 の金属薄膜上とにレジストマスクを形成し、

パターニングされた前記第 2 の金属薄膜の前記第 3 の薄膜トランジスタ上と、前記第 4 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上とを除去するように、前記レジストマスクを用いてさらにパターニングし、

さらにパターニングされた前記第 2 の金属薄膜の幅を前記レジストマスクの幅より狭く加工して、前記第 4 の薄膜トランジスタのゲート電極を形成し、

前記レジストマスク及び前記第 3 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 3 及び第 4 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記レジストマスクを除去し、

前記第 4 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入し、前記第 4 の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成し、

前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 6 】

(付記 2 1)

付記 2 0 記載の薄膜トランジスタ装置の製造方法において、

前記レジストマスクをマスクとして前記第 1 導電型の不純物を前記半導体層に注入した後に、前記第 2 の金属薄膜の幅を前記レジストマスクの幅より狭く加工して前記第 4 の薄膜トランジスタのゲート電極を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 7 】

(付記 2 2)

基板上に所定形状の半導体層を形成し、

前記半導体層上に第 1 乃至第 4 の薄膜トランジスタの第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に第 1 の金属薄膜を形成し、

前記第 1 の金属薄膜をパターニングして前記第 1 及び第 2 の薄膜トランジスタのゲート電極を形成し、

前記第 1 及び第 2 の薄膜トランジスタのゲート電極上に前記第 3 及び第 4 の薄膜トランジスタの第 2 のゲート絶縁膜を形成し、

前記第 2 のゲート絶縁膜上に第 2 の金属薄膜を形成し、

前記第 2 の金属薄膜上に第 1 のレジストマスクを形成し、

前記第 1 及び第 2 の薄膜トランジスタ上と、前記第 3 及び第 4 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層上の前記第 2 の金属薄膜を除去するように前記第 1 のレジストマスクを用いてパターニングし、

前記第 2 の金属薄膜の幅を前記第 1 のレジストマスクの幅より狭く加工して、前記第 3 及び第 4 の薄膜トランジスタのゲート電極を形成し、

前記第 1 のレジストマスクと前記第 1 及び第 2 の薄膜トランジスタのゲート電極とをマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 1 及び第 3 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第 1 のレジストマスクを除去し、

前記第 3 の薄膜トランジスタのゲート電極をマスクとして第 1 導電型の不純物を前記半導体層に注入して、前記第 3 の薄膜トランジスタのソース及びドレイン領域とチャネル領域との間に低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 8 】

(付記 2 3)

付記 2 2 記載の薄膜トランジスタ装置の製造方法において、

前記第 1 及び第 3 の薄膜トランジスタを覆う第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクをマスクとして第 2 導電型の不純物を前記半導体層

に注入して、前記第 2 及び第 4 の薄膜トランジスタのソース及びドレイン領域を形成し、

前記第 2 のレジストマスクを除去した後に前記第 1 及び第 2 導電型の不純物を活性化すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 2 9 】

(付記 2 4)

付記 2 3 記載の薄膜トランジスタ装置の製造方法において、

前記第 2 及び第 4 の薄膜トランジスタのソース及びドレイン領域となる前記半導体層には、前記第 1 及び第 3 の薄膜トランジスタのソース及びドレイン領域並びに低濃度不純物領域を形成する際に、前記第 1 導電型の不純物が注入されること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 3 0 】

(付記 2 5)

付記 2 3 又は 2 4 に記載の薄膜トランジスタ装置の製造方法において、

前記第 1 のレジストマスクをマスクとして前記第 1 導電型の不純物を前記半導体層に注入した後に、前記第 2 の金属薄膜の幅を前記第 1 のレジストマスクの幅より狭く加工すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 3 1 】

(付記 2 6)

付記 2 3 乃至 2 5 のいずれか 1 項に記載の薄膜トランジスタ装置の製造方法において、

前記第 2 のレジストマスクを除去した後に、前記第 2 の金属薄膜をマスクとして前記第 1 導電型の不純物を前記半導体層に注入して、前記第 3 の薄膜トランジスタの低濃度不純物領域を形成すること

を特徴とする薄膜トランジスタ装置の製造方法。

【 0 1 3 2 】

【発明の効果】

以上の通り、本発明によれば、良好な特性及び高い信頼性の得られる薄膜トランジスタ装置を得ることができる。

【0133】

また、注入した不純物の活性化エネルギーにTFTのソース及びドレイン領域とLDD領域との間で差が出ないようにする。さらに、TFTのゲート電極と半導体層との間のリーク電流が抑制されるようになる。

【0134】

また、低電圧用TFTのためにゲート絶縁膜を薄くしても問題が生じないようになる。さらに、TFT毎のLDD長を容易に制御でき、選択的にLDDを有さないTFTを形成することもできる。

【0135】

さらに、ゲート絶縁膜をエッチングせずに形成されるn型及びp型、低電圧用及び高電圧用TFT若しくはこれらの組合せ、これらのTFTを含むTFT基板、並びに当該TFT基板を含む表示装置を実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態による液晶表示装置の構成を示す図である。

【図2】

本発明の一実施の形態の実施例1によるTFT基板の構成及び製造方法を示す工程断面図である。

【図3】

本発明の一実施の形態の実施例1によるTFT基板の構成及び製造方法を示す工程断面図である。

【図4】

本発明の一実施の形態の実施例2によるTFT基板の構成及び製造方法を示す工程断面図である。

【図5】

本発明の一実施の形態の実施例2によるTFT基板の構成及び製造方法を示す

工程断面図である。

【図 6】

本発明の一実施の形態の実施例 3 による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 7】

本発明の一実施の形態の実施例 3 による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 8】

本発明の一実施の形態の実施例 4 による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 9】

本発明の一実施の形態の実施例 4 による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 1 0】

本発明の一実施の形態の実施例 5 による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 1 1】

本発明の一実施の形態の実施例 5 による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 1 2】

第 1 の従来例による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 1 3】

第 1 の従来例による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 1 4】

第 2 の従来例による T F T 基板の構成及び製造方法を示す工程断面図である。

【図 1 5】

第 2 の従来例による T F T 基板の構成及び製造方法を示す工程断面図である。

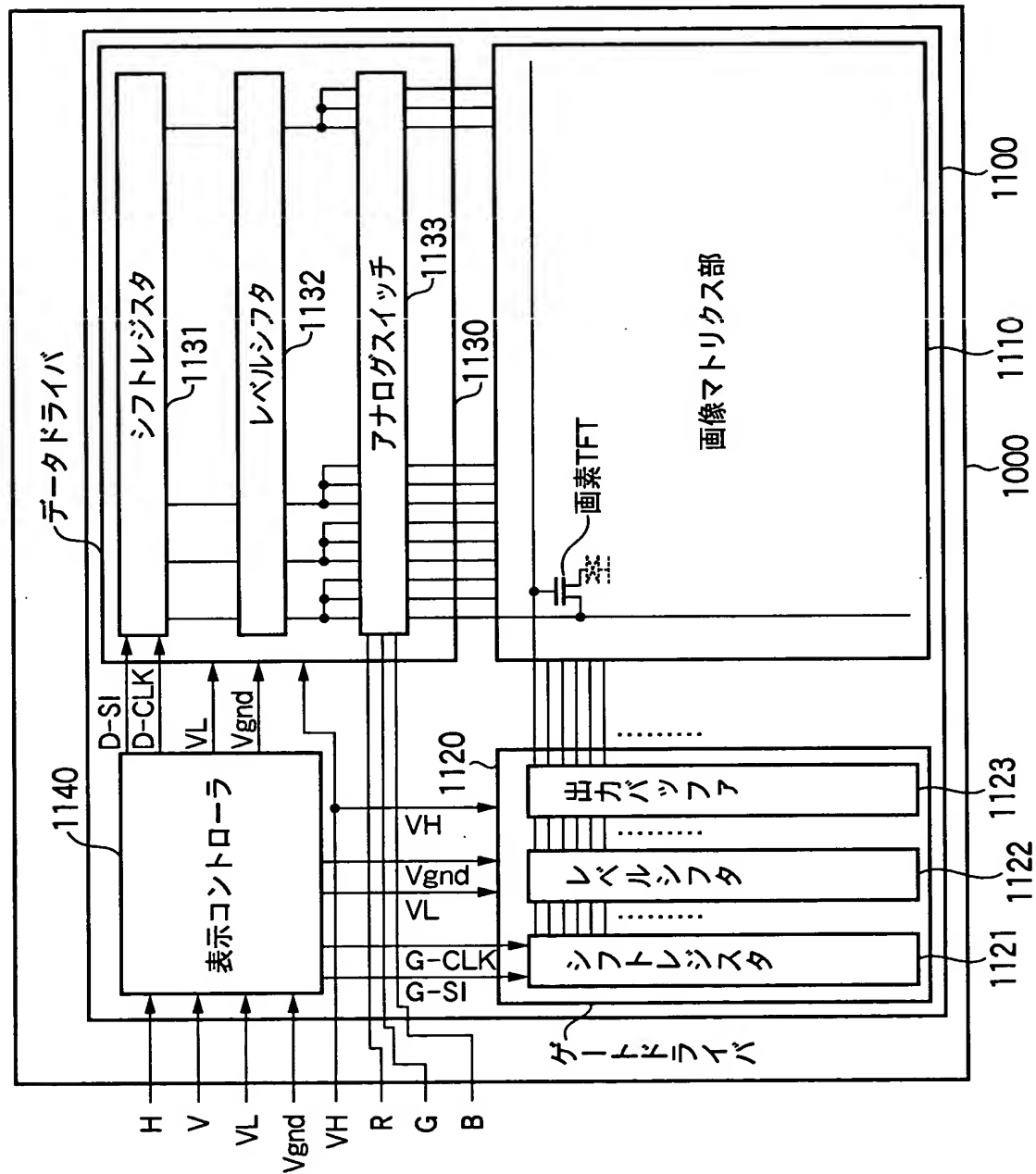
【符号の説明】

1, 2 1, 3 1, 4 1, 6 1 透明絶縁性基板

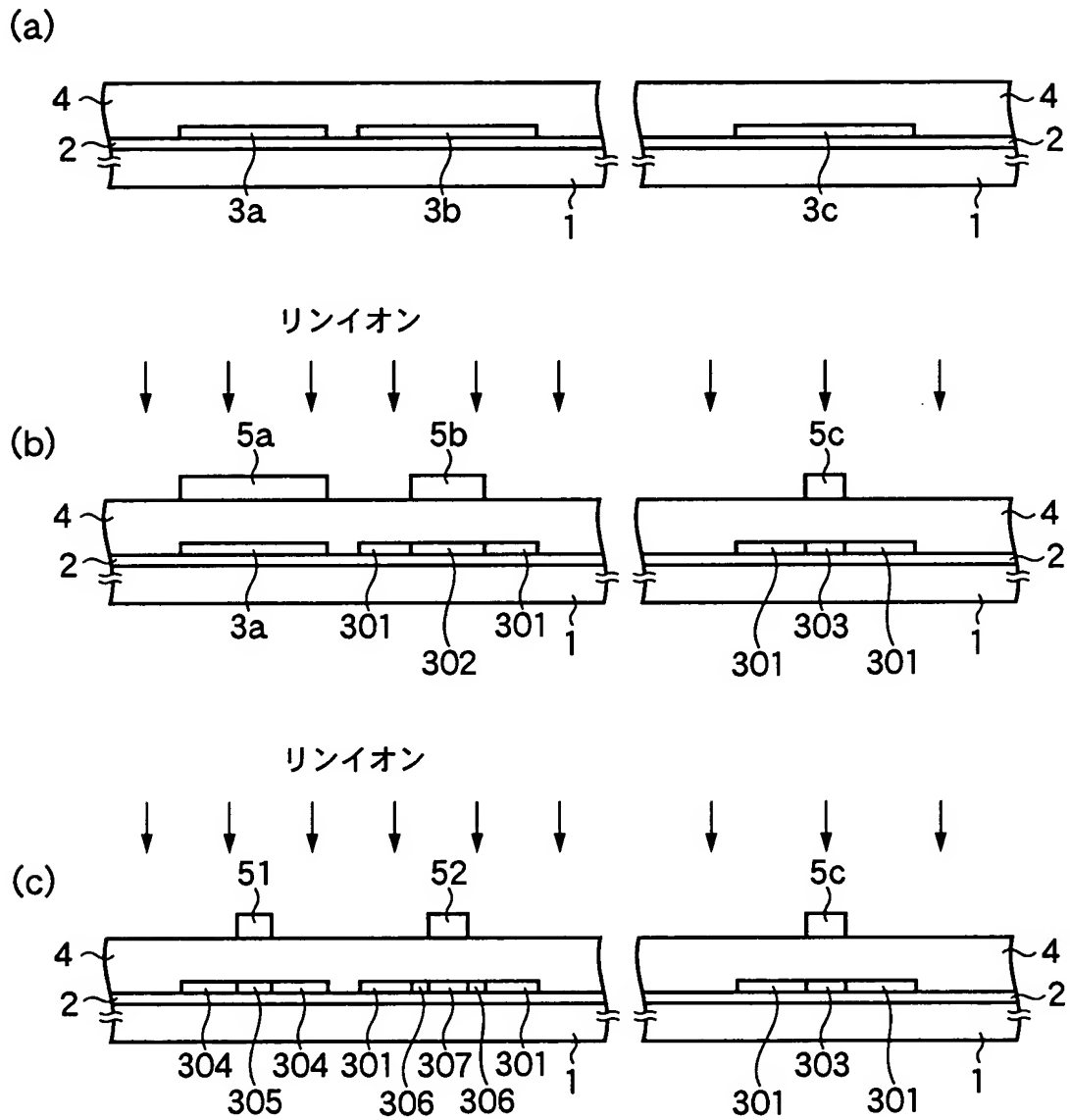
2, 2 2, 3 2, 4 2, 6 2 バッファ層
3, 2 3, 3 3, 4 3, 6 3 半導体層
4, 2 4, 2 6, 3 4, 3 6, 4 4, 4 6, 6 4, 6 6 ゲート絶縁膜
5, 2 5, 2 7, 3 5, 3 7, 4 5, 4 7, 6 5, 6 7 金属薄膜
6, 2 8, 3 8, 3 9, 4 8, 6 8, 6 9 レジストマスク
7, 2 9, 4 0, 4 9, 7 0 層間絶縁膜
8, 3 0, 4 0 1, 5 0, 7 1 配線

【書類名】 図面

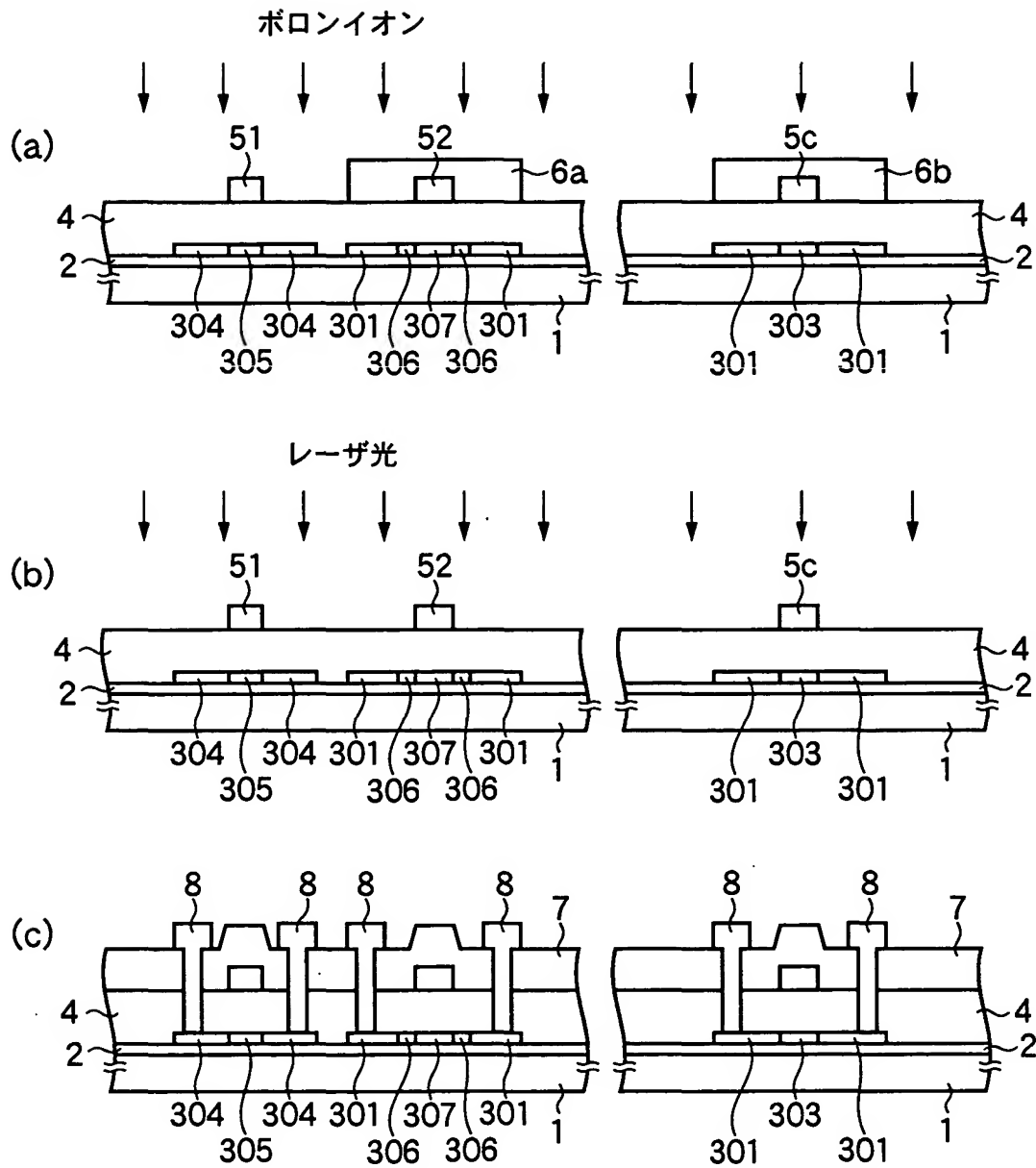
【図 1】



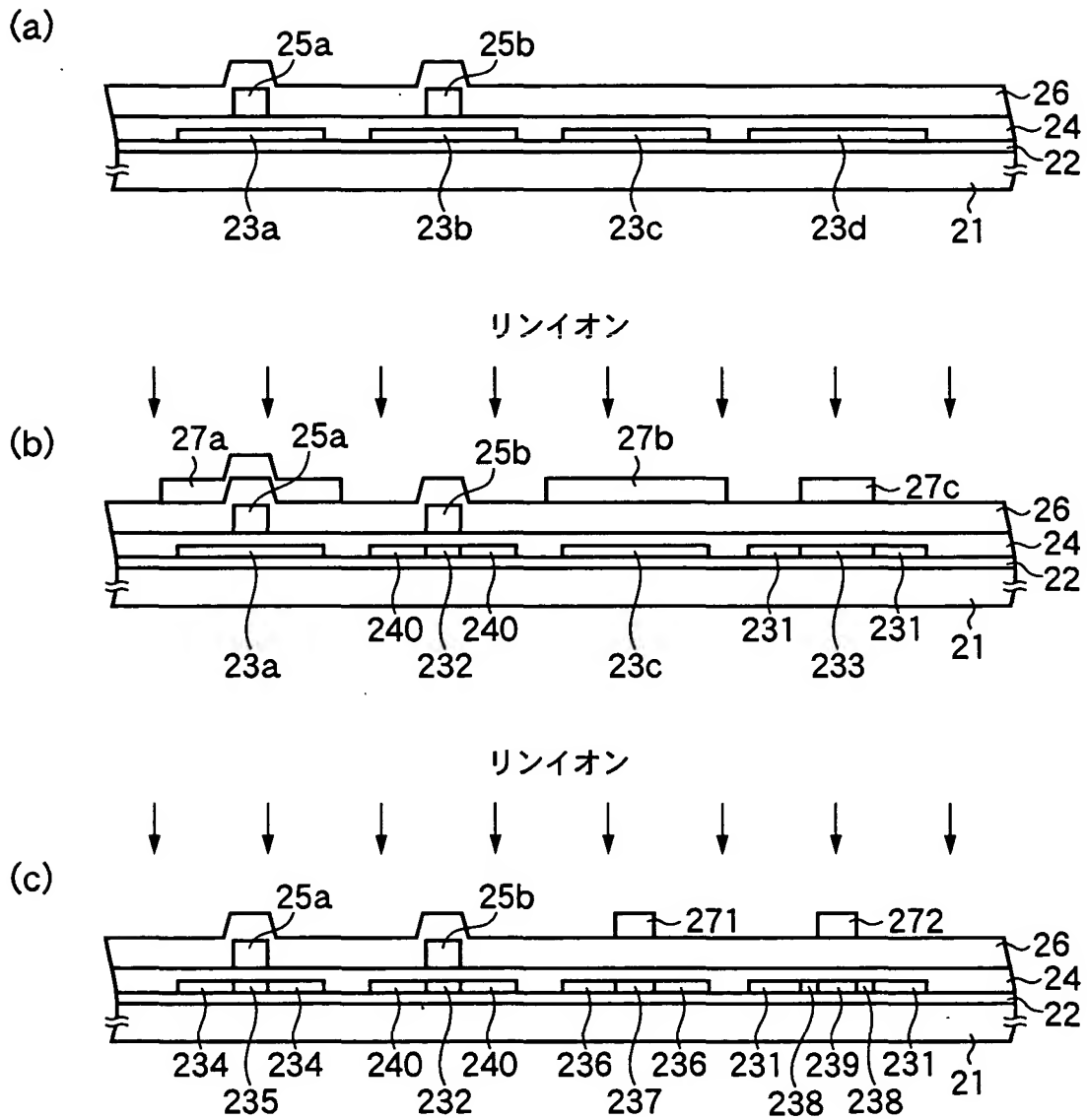
【図 2】



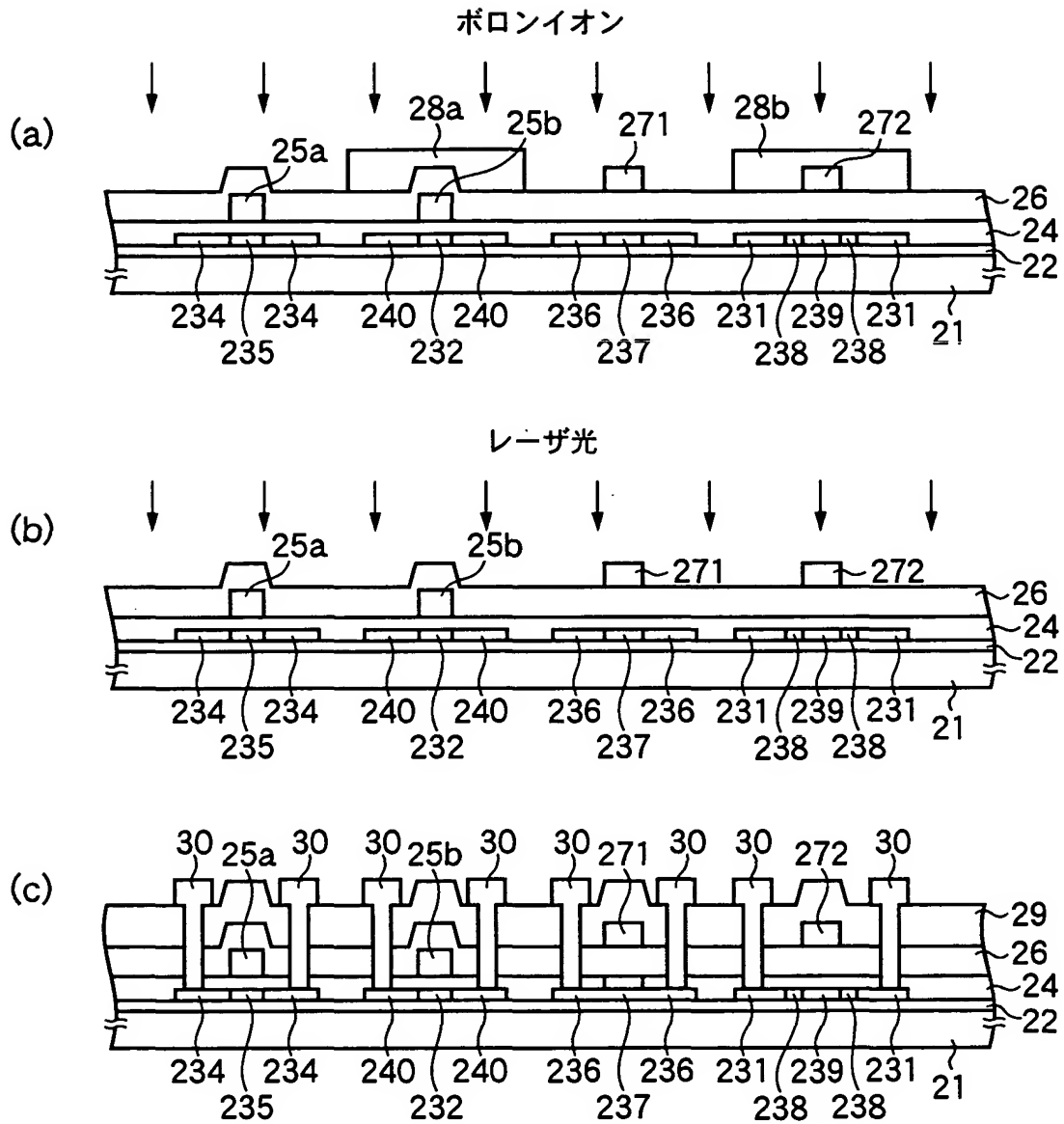
【図 3】



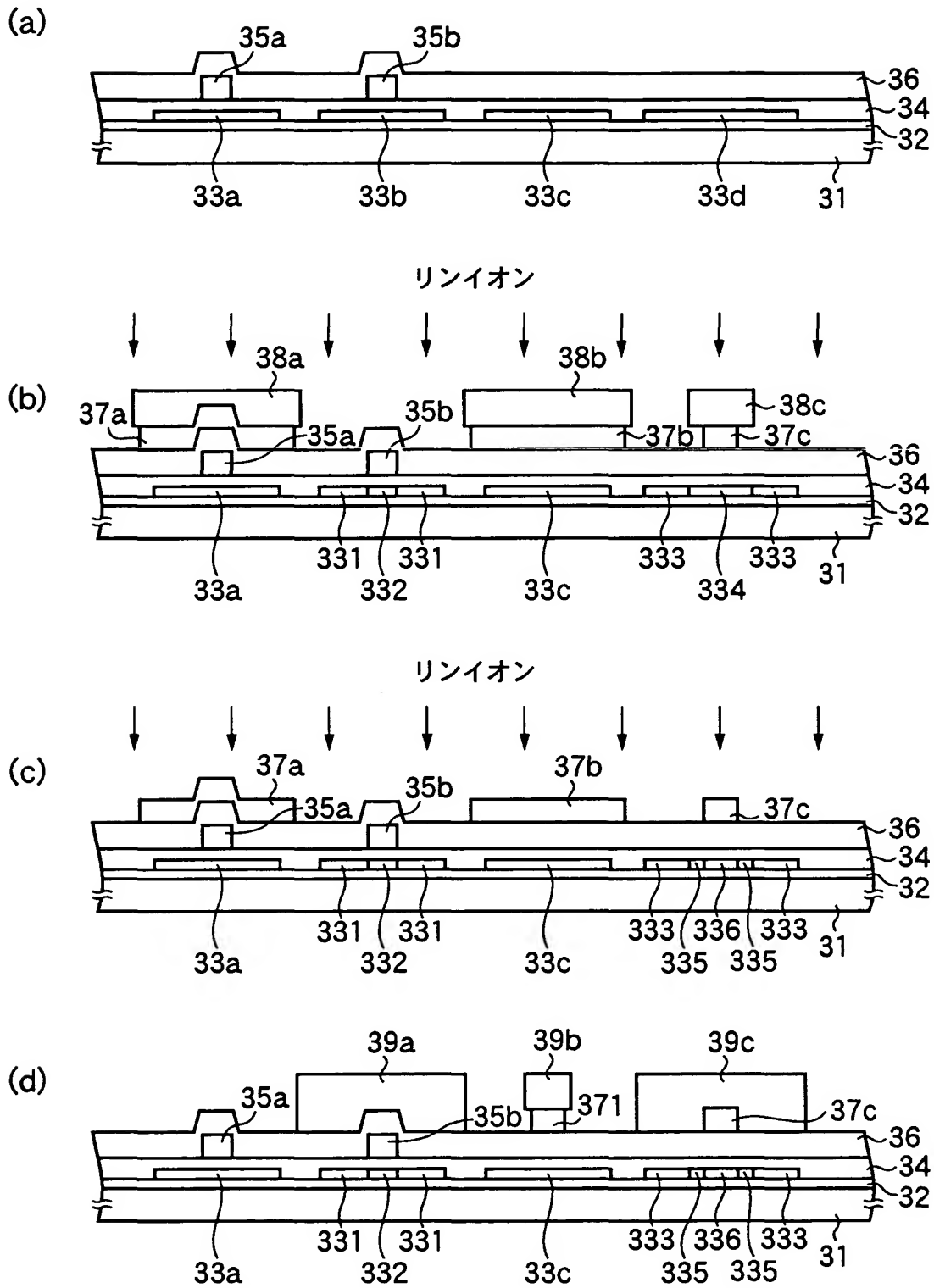
【図 4】



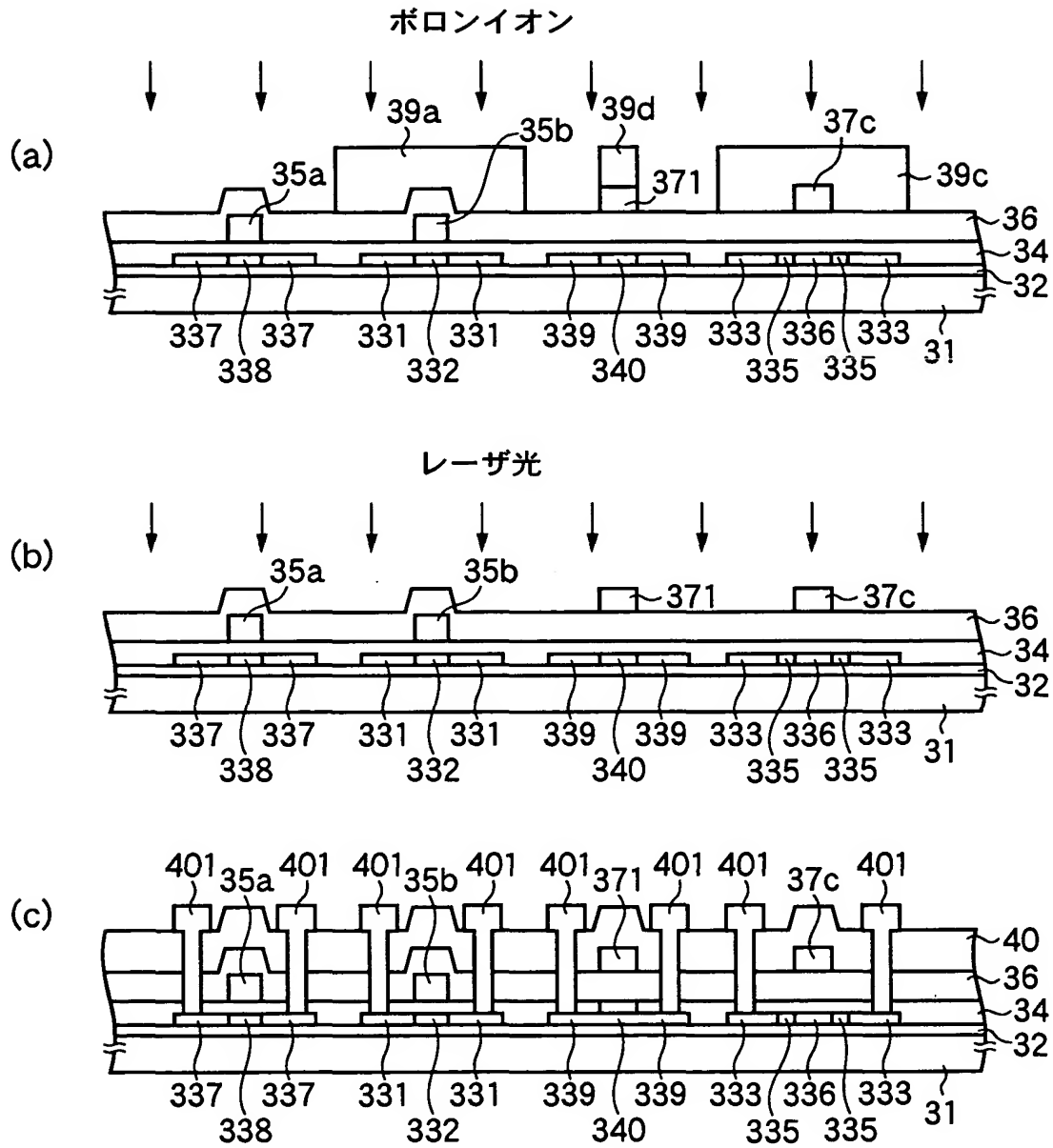
【図 5】



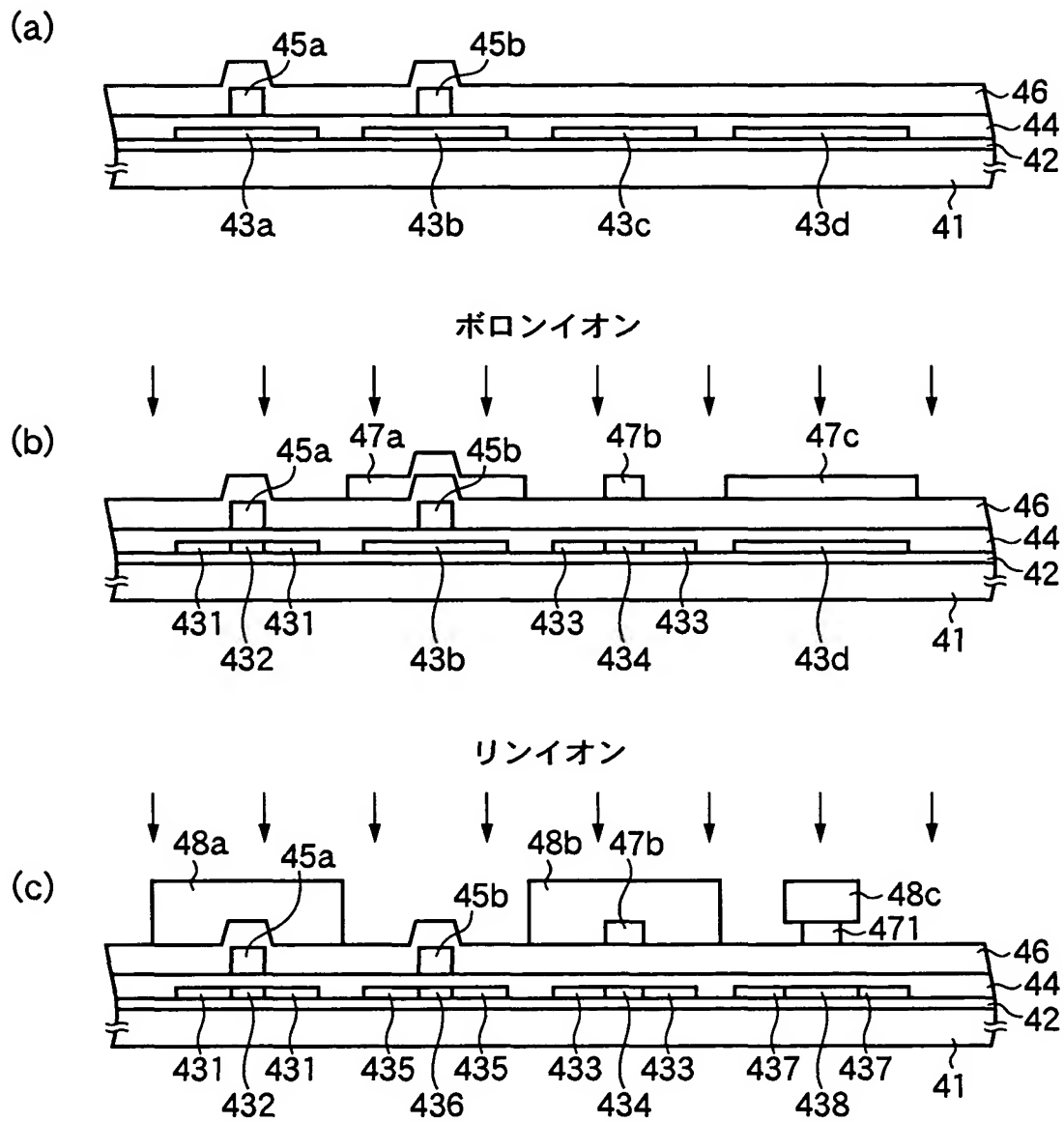
【図 6】



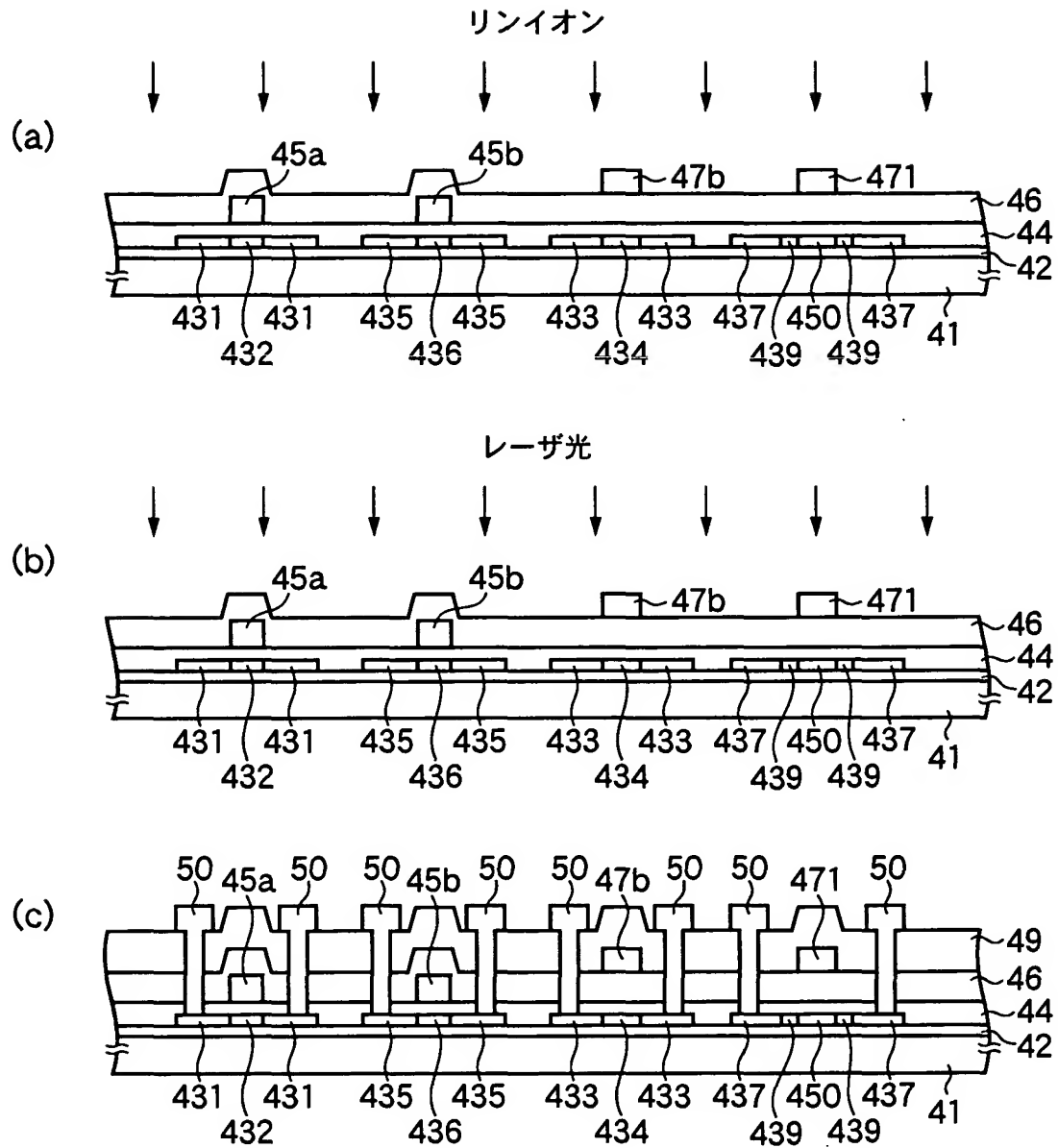
【図 7】



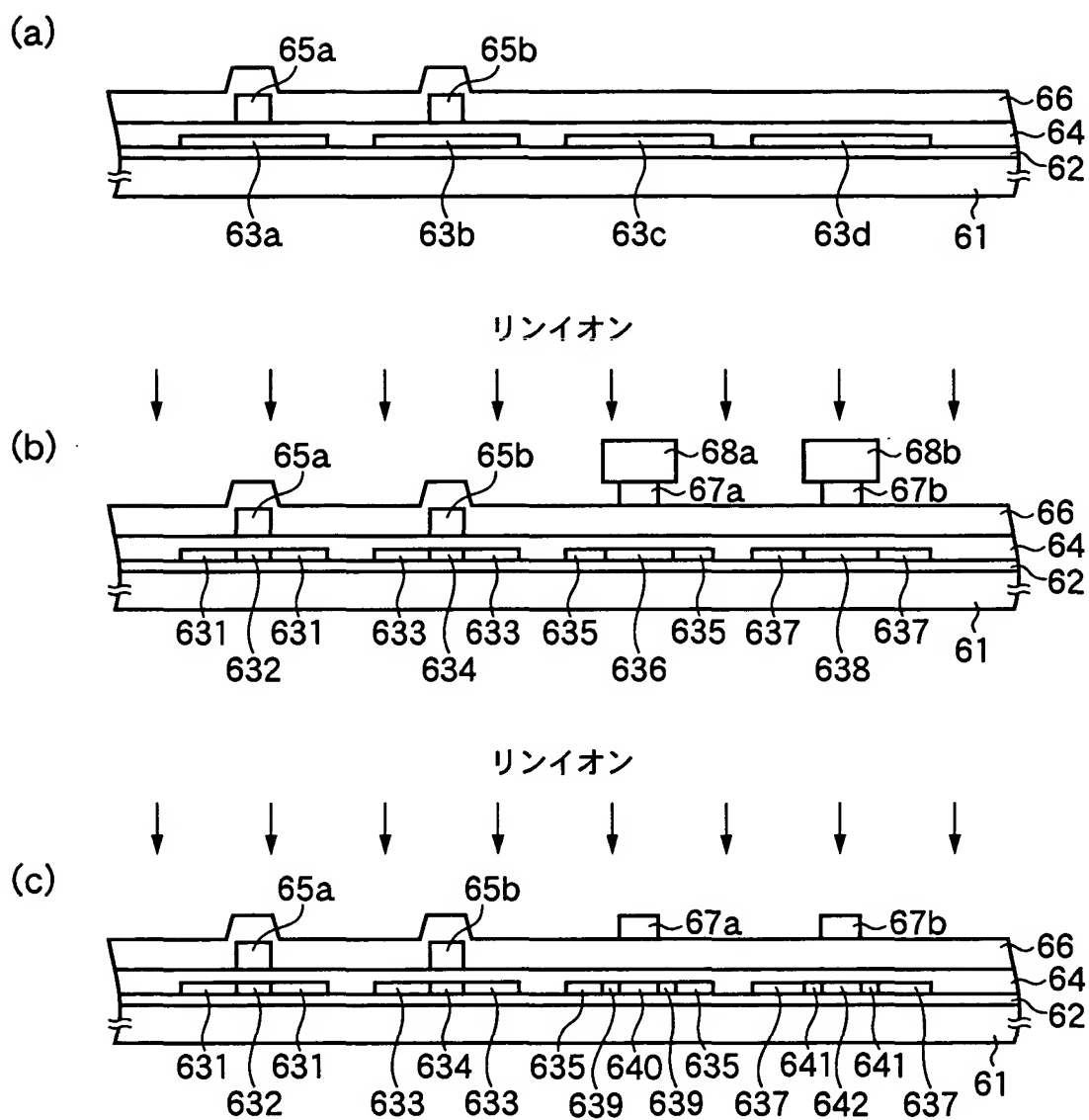
【図 8】



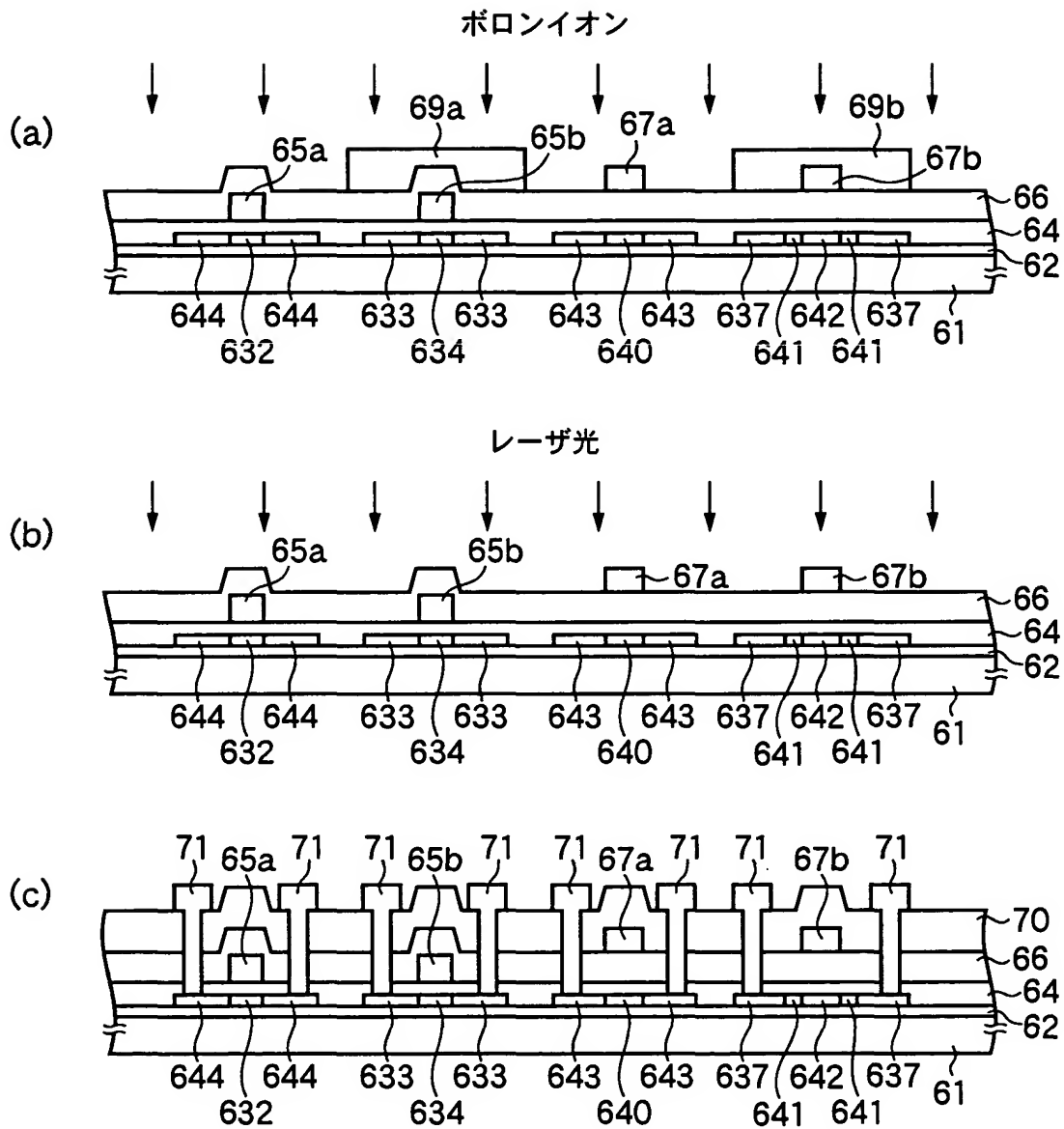
【図 9】



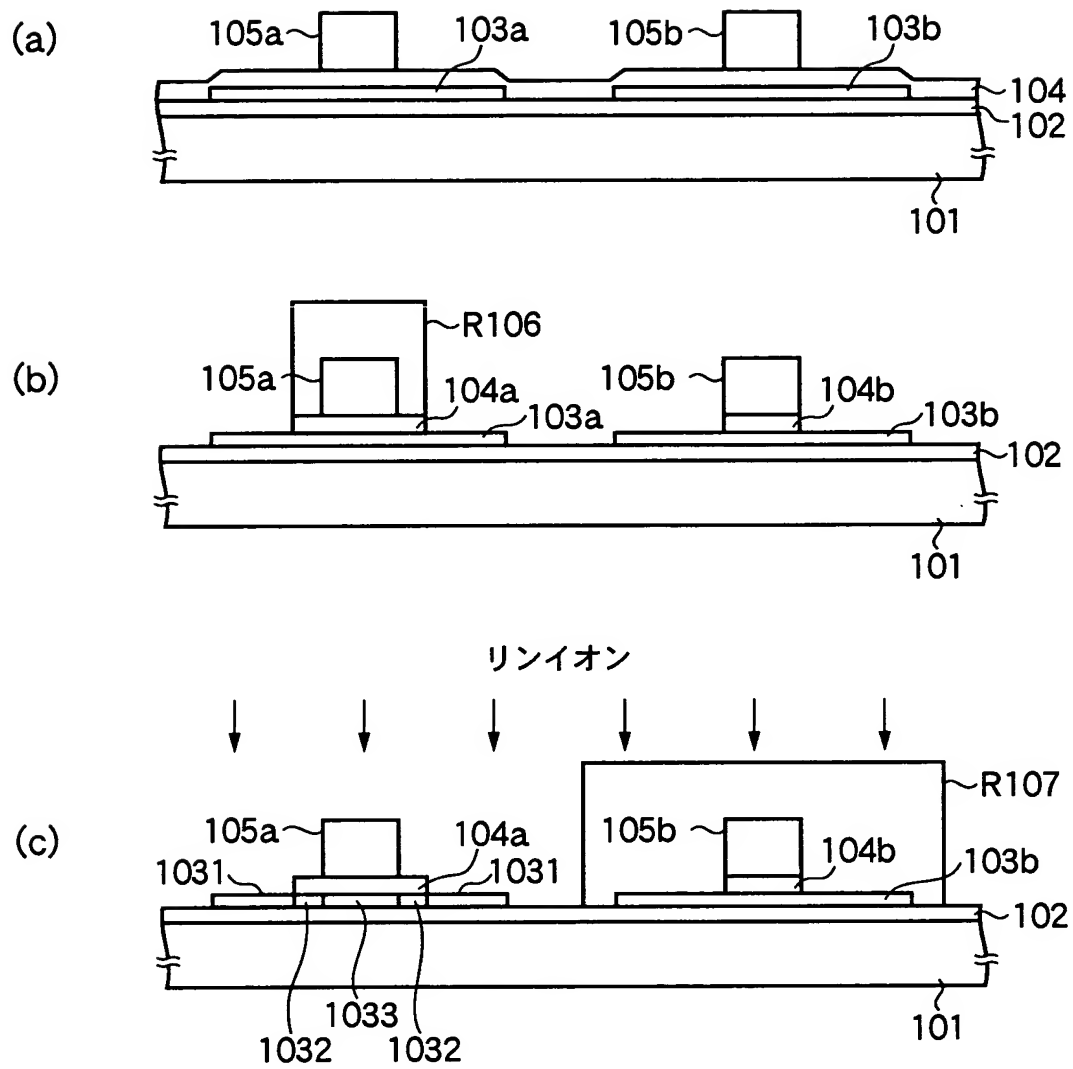
【図 1 0】



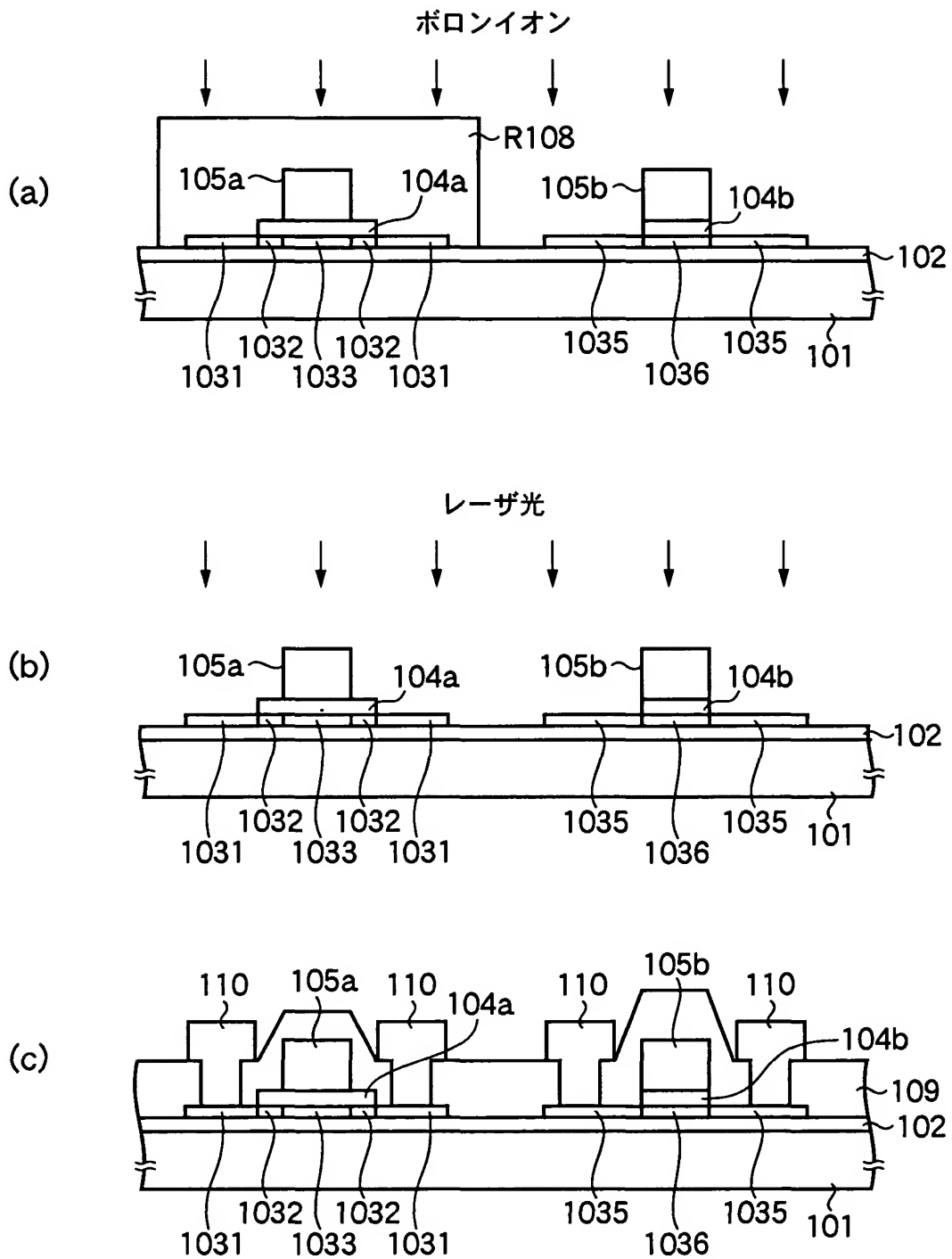
【図 1 1】



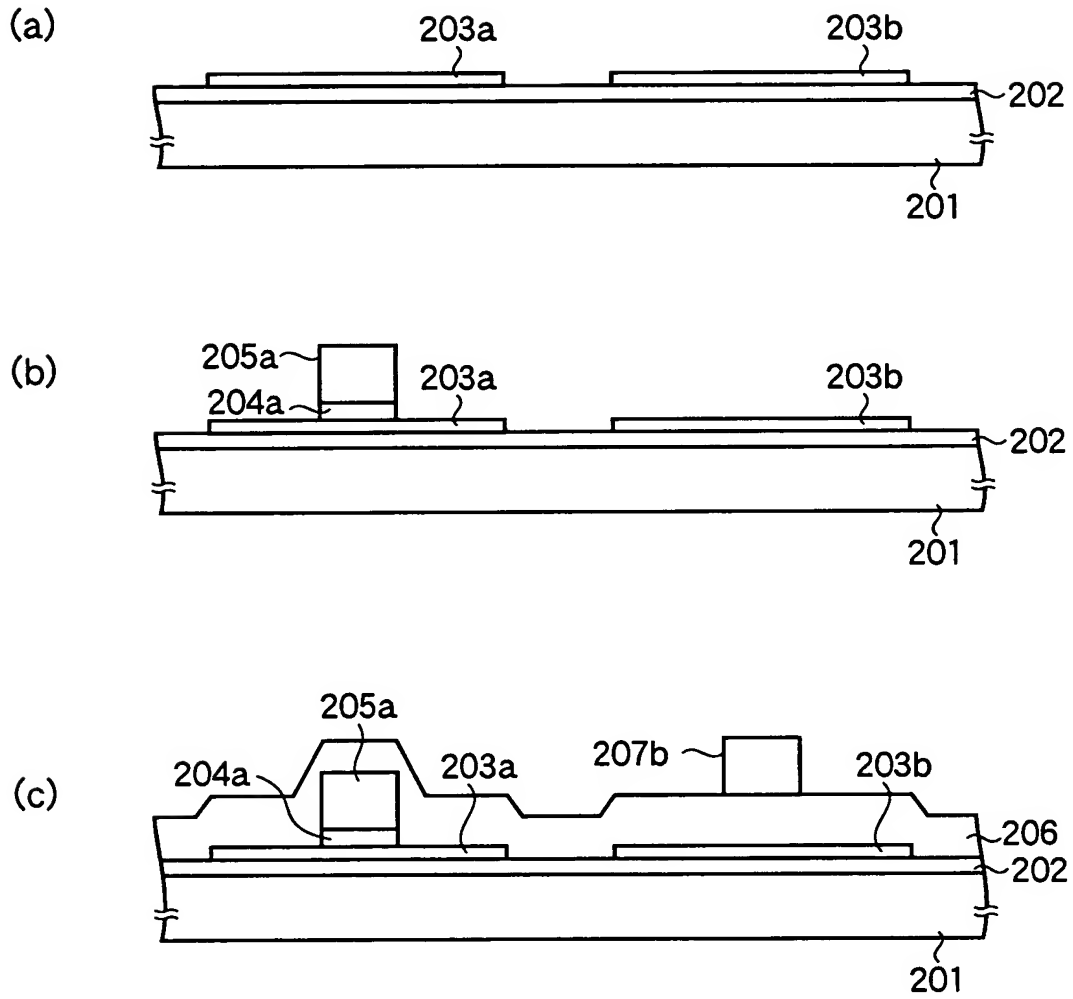
【図 1 2】



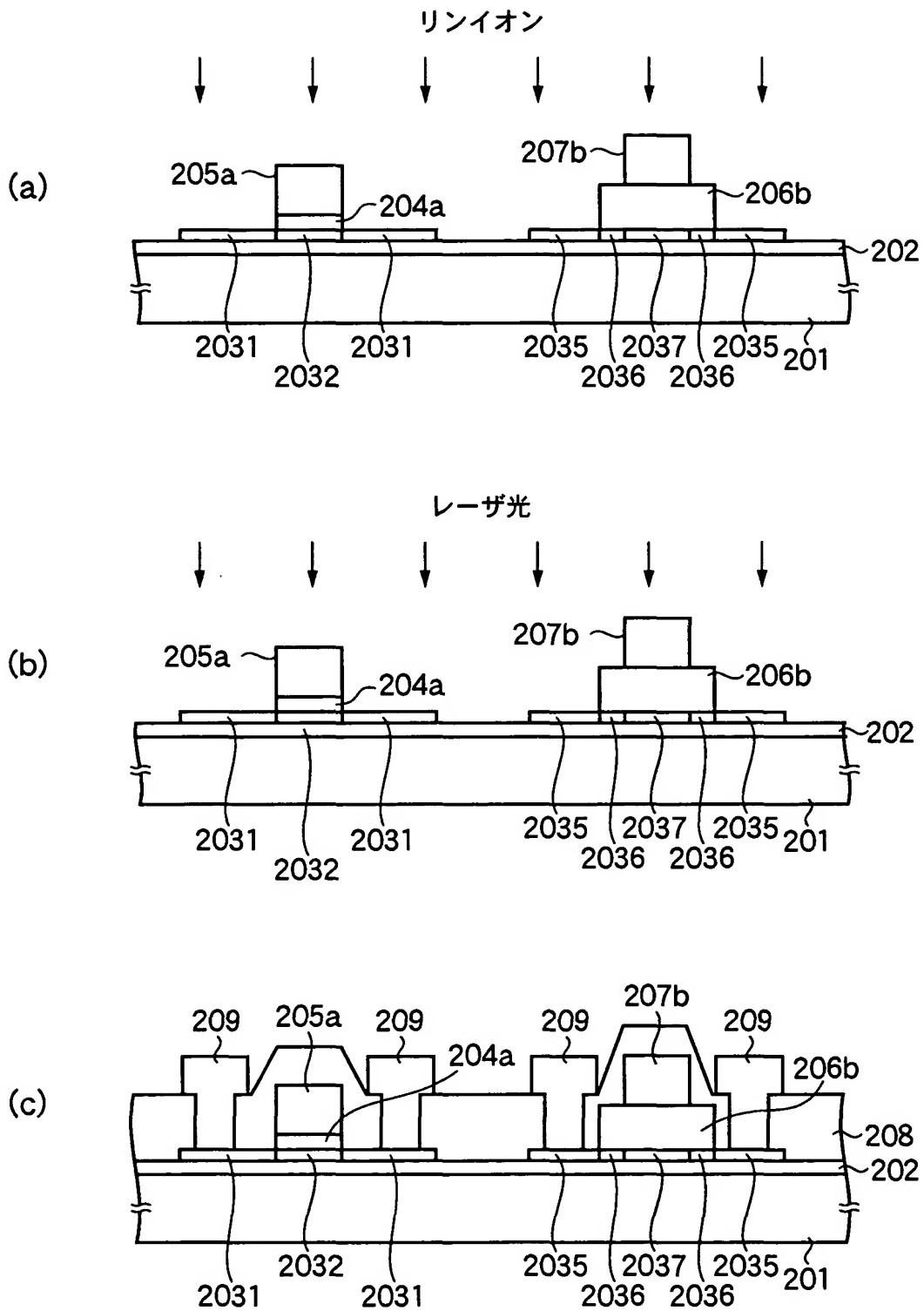
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】本発明は、T F T装置及びその製造方法、並びにそれを備えたT F T基板及び表示装置に関し、良好な特性及び高い信頼性の得られるT F T装置及びその製造方法、並びにそれを備えたT F T基板及び表示装置を提供することを目的とする。

【解決手段】ゲート絶縁膜4上に金属薄膜を形成し、n型T F Tのソース及びドレイン領域3 0 1となる半導体層3 b上の金属薄膜を除去するようにパターニングし、パターニングされた金属薄膜5 bをマスクとしてリンイオンを注入してソース及びドレイン領域3 0 1を形成し、パターニングされた金属薄膜5 bをさらにパターニングしてn型T F Tのゲート電極5 2を形成し、ゲート電極5 2をマスクとしてリンイオンを注入して、ソース及びドレイン領域3 0 1とチャンネル領域3 0 7との間にL D D領域3 0 6を形成する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [302036002]

1. 変更年月日 2002年 6月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通ディスプレイテクノロジーズ株式会社